

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

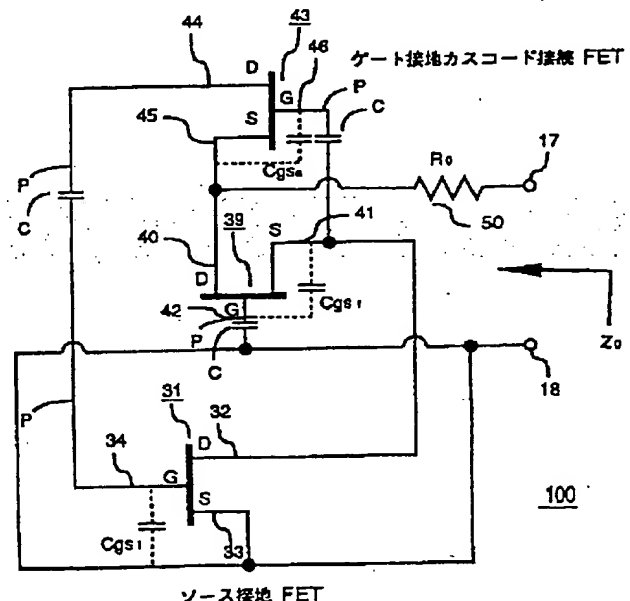
**Defective images within this document are accurate representations of the original documents submitted by the applicant.**

**Defects in the images may include (but are not limited to):**

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



## 【特許請求の範囲】

【請求項 1】 周波数によらず定常的に発生する抵抗損失を、周波数に対して一定の負性抵抗を発生させて相殺する第 1 の補償手段を有し、能動素子のみから構成されたことを特徴とする能動インダクタ。

【請求項 2】 周波数が高くなるにつれて増大する抵抗損失を、該抵抗損失の周波数特性と相反する周波数特性を持つ負性抵抗を発生させて相殺する第 2 の補償手段を有することを特徴とする請求項 1 記載の能動インダクタ。

【請求項 3】 前記第 1 の補償手段は、前記能動インダクタに内在するインダクタンス成分に対して前記負性抵抗を直列に発生させることを特徴とする請求項 1 又は 2 記載の能動インダクタ。

【請求項 4】 第 1 のトランジスタと、第 1 電極が前記第 1 のトランジスタの第 2 電極に接続され、第 2 電極が前記第 1 のトランジスタの第 3 電極に接続された第 2 のトランジスタと、第 1 電極が前記第 2 のトランジスタの第 2 電極に接続され、第 2 電極が前記第 2 のトランジスタの第 3 電極に接続され、第 3 電極が前記第 1 のトランジスタの第 1 電極に接続された第 3 のトランジスタとを有し、前記第 2 のトランジスタの第 3 電極と前記第 3 のトランジスタの第 2 電極との接続線から引き出した第 1 の端子と、前記第 1 のトランジスタの第 2 電極から引き出した第 2 の端子とを 2 端子としたことを特徴とする能動インダクタ。

【請求項 5】 前記第 2 のトランジスタの第 3 電極と前記第 3 のトランジスタの第 2 電極との接続線と、前記第 1 の端子との間に第 1 の抵抗素子を挿入したことを特徴とする請求項 4 記載の能動インダクタ。

【請求項 6】 前記第 2 のトランジスタの第 2 電極と前記第 3 のトランジスタの第 1 電極との間に第 2 の抵抗素子を挿入したことを特徴とする請求項 4 又は 5 記載の能動インダクタ。

【請求項 7】 前記第 1 のトランジスタの第 2 電極と前記第 2 のトランジスタの第 1 電極との間に第 3 の抵抗素子を挿入したことを特徴とする請求項 4～6 の何れかの項記載の能動インダクタ。

【請求項 8】 前記第 1 のトランジスタの第 1 電極と前記第 1 のトランジスタの第 2 電極との間に第 4 の抵抗素子を挿入したことを特徴とする請求項 4～7 の何れかの項記載の能動インダクタ。

【請求項 9】 前記第 1 のトランジスタの第 1 電極と前記第 3 のトランジスタの第 3 電極との間に第 5 の抵抗素子を挿入したことを特徴とする請求項 4～8 の何れかの項記載の能動インダクタ。

【請求項 10】 前記第 1 のトランジスタの第 1 電極及び第 2 電極の間に第 1 のコンデンサを接続し、前記第 2

のトランジスタの第 1 電極及び第 2 電極の間に第 2 のコンデンサを接続し、前記第 3 のトランジスタの第 1 電極及び第 2 電極の間に第 3 のコンデンサを接続したことを特徴とする請求項 4～9 の何れかの項記載の能動インダクタ。

【請求項 11】 前記第 1 のトランジスタの第 3 電極と前記第 2 のトランジスタの第 2 電極との間に  $m$  ( $m \geq 1$ ) 個のトランジスタを挿入し、前記  $m$  個のトランジスタを前記第 1 のトランジスタへカスコードに接続したことを特徴とする請求項 4～10 の何れかの項記載の能動インダクタ。

【請求項 12】 前記  $m$  個のトランジスタの各々の第 1 電極及び第 2 電極の間にそれぞれコンデンサを接続したことを特徴とする請求項 11 記載の能動インダクタ。

【請求項 13】 前記第 1 のトランジスタの第 1 電極と前記第 3 のトランジスタの第 3 電極との間に  $n$  ( $n \geq 1$ ) 個のトランジスタを挿入し、前記  $n$  個のトランジスタを前記第 3 のトランジスタへカスコードに接続したことを特徴とする請求項 4～12 の何れかの項記載の能動インダクタ。

【請求項 14】 前記  $n$  個のトランジスタの各々の第 1 電極及び第 2 電極の間にそれぞれコンデンサを接続したことを特徴とする請求項 13 記載の能動インダクタ。

【請求項 15】 前記第 2 のトランジスタの第 3 電極と前記第 3 のトランジスタの第 2 電極との間に  $p$  ( $p \geq 1$ ) 個のトランジスタを挿入し、前記  $p$  個のトランジスタを前記第 2 のトランジスタへカスコードに接続したことを特徴とする請求項 4～14 の何れかの項記載の能動インダクタ。

【請求項 16】 前記  $p$  個のトランジスタの各々の第 1 電極及び第 2 電極の間にそれぞれコンデンサを接続したことを特徴とする請求項 15 記載の能動インダクタ。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、トランジスタを用いた小型、広帯域かつ低損失な能動インダクタに関する。

【0002】

【従来の技術】 従来の MMIC (マイクロ波モノリシック集積回路) では、チップサイズの小型化を目的として、誘電体基板上に金属導体を渦巻状に形成したスパイラルインダクタが用いられることが多い。このスパイラルインダクタは簡単な構成ではあるが、所要インダクタンスを得るためには、スパイラルインダクタの形状が大きくなって実質的な占有面積が広がる等の問題があった。これに対して、能動素子である FET (電界効果トランジスタ) 等を用いることで、スパイラルインダクタに比較して小型に構成でき、したがって、MMIC の小型化に適した能動インダクタが考えられている。

【0003】

【発明が解決しようとする課題】ところで、FETを用いた従来の能動インダクタは、FET回路自体をスパイラルインダクタと比較して小型に構成することができるためMMICの小型化に適している。しかしながら、従来の能動インダクタでは、ドレインコンダクタンスなどに起因して発生する抵抗損失によって、マイクロ波帯、特にFETの性能が劣化し始める遮断周波数 $f_T$ の1/2以上の周波数、での良好な動作が実現できないという欠点があった。そこで以下この点について詳しく説明することとする。

【0004】〔第1の従来例〕図46に、小型化・高周波化を図った第1の従来例の構成を示す（特公平5-24685号公報）。この能動インダクタ700は、ソース接地のFET31とゲート接地のFET35とをカスコード接続し、FET31のゲート34とFET35のドレイン36間に抵抗値 $R$ の抵抗16を接続している。また、端子17、18間には抵抗値 $R_0$ の抵抗50を接続している。ここで、抵抗50は、この抵抗が存在しない場合に問題となる「高周波特性におけるインダクタン

$$Z_0 = \frac{1 + j\omega C_{gs1}R}{\frac{1}{1 + (\frac{f}{f_T})^2} \{g_{m1} + j\omega C_{gs1}(\frac{f}{f_T})^2\}} \dots (1)$$

【0006】ここで、FETの遮断周波数 $f_T = g_{m1} / (2\pi C_{gs1}) = g_{m2} / (2\pi C_{gs2})$ とする。同一のウェハ内では、このような $f_T$ の等しい特性を有するFETを容易に構成することが可能である。上記条件下における等価回路の回路図を図47に示す。同図に示すように、抵抗値 $(1/g_{m1})$ の抵抗61とインダクタンス値 $(C_{gs1}R/g_{m1})$ のインダクタンス62の直列回路に対して、静電容量 $(f/f_T)^2 C_{gs1}$ のコンデンサ63が並列に接続された回路と概ね一致する。

【0007】いま、マイクロ波帯用の短ゲート長のFETを概ね $f_T/3$ 以下の周波数帯で使用した場合、 $(f/f_T)^2 = 1/9 < 1$ となる。これにより、(1)式における分母の虚数項を無視することができ、図46の回路は、抵抗61とインダクタンス62の直列回路と等価な能動インダクタとして動作する。ゲート幅 $100\mu\text{m}$ のFET（相互コンダクタンス $g_m = 20\text{ms}$ 、空乏層容量 $C_{gs} = 0.16\text{pF}$ 、遮断周波数 $f_T = g_m / (2\pi C_{gs}) = 20\text{GHz}$ ）を用いた場合の(1)式のインピーダンス $Z_0$ （ $= R + j\omega L$ 、以下同様）の周波数特性を図48に示す。ここで、使用する各FETのゲート幅はそれぞれ同じ大きさのものを使用するものとする。また、抵抗16の抵抗値 $R$ は $50\Omega$ である。

【0008】図48からもわかるように、この能動インダクタはインダクタンスと直列に抵抗成分を有するが、マイクロ波帯では相互コンダクタンス $g_m$ がそれほど大

き値の増大」を抑制し、広い周波数範囲で一定のインダクタンス値に近づける働きをするものである。なお、図46において、各Pは高周波を遮断するコイルを介して電圧が印加されるポイント、各Cは直流電圧阻止用のコンデンサであり、以下の図面においても同様である。

【0005】FET35のドレイン36、ゲート38にそれぞれ接続された端子17、18からFET35側を見たときのインピーダンス $Z_0$ は誘導性を示すので、図46のFET回路を能動インダクタとして用いることができる。そこで、図46の能動インダクタ700において抵抗50が存在しないとした場合に、端子17、18からFET回路側を見たインピーダンス $Z_0$ を求める。回路の解析を簡単にするため、FET31、FET35が電気的に同じ特性を有し、それぞれがゲート直下のゲート・ソース間の空乏層容量 $C_{gs1}$ 、 $C_{gs2}$ および相互コンダクタンス $g_{m1}$ 、 $g_{m2}$ のみで表現されたとすると、インピーダンス $Z_0$ は次式で与えられる。

【数1】

きくはないため、損失が大きくなって該能動インダクタをマイクロ波帯以上の高い周波数で良好に動作させることが難しい。

【0009】〔第2の従来例〕図49に、小型化・高周波化を図った第2の従来例の構成を示す（特開平2-205107号公報）。この能動インダクタ800は、ソース接地のFET31とゲート接地のFET35とをカスコード接続するとともに、FET35のドレイン36からFET31のゲート34に対して、ゲート接地のFET39による一方向の帰還をかけたことを特徴としている。

【0010】FET35のドレイン36、ゲート38に接続されている端子17、18からFET35側を見たときのインピーダンス $Z_0$ は誘導性を示すので、図49のFET回路を能動インダクタとして用いることができる。なお、周波数が比較的低いマイクロ波帯ではインピーダンス $Z_0$ が概ねインダクタンス成分のみで与えられ無損失となるため、この能動インダクタ800は、図46の能動インダクタ700に比較して高周波特性が改善されている。

【0011】次に、能動インダクタ800において抵抗50が存在しないとした場合に、端子17、18からFET回路側を見たインピーダンス $Z_0$ を求める。回路の解析を簡単にするため、FET31、FET35、FET39が電気的に同じ特性を有し、それぞれがゲート直

下のゲート・ソース間の空乏層容量  $C_{gs1}$ ,  $C_{gs2}$ ,  $C_{gsf}$  および相互コンダクタンス  $g_{m1}$ ,  $g_{m2}$ ,  $g_{mf}$  のみで表現されたとすると、インピーダンス  $Z_0$  は次式で与

えられる。

【数2】

$$Z_0 = \frac{1}{\frac{g_{mf}}{1 + (\frac{f}{f_T})^2} \left[ \frac{g_{m1}}{j\omega C_{gs1}} \left\{ 1 - (\frac{f}{f_T})^2 - (\frac{f}{f_T})^4 \right\} + (\frac{f}{f_T})^2 \right]} \quad \dots (2)$$

【0012】ここで、FETの遮断周波数  $f_T = g_{m1} / (2\pi C_{gs1}) = g_{m2} / (2\pi C_{gs2}) = g_{mf} / (2\pi C_{gsf})$  とする。上記条件下における等価回路の回路図を図50に示す。同図に示すように、抵抗値  $[1 / \{(f/f_T)^2 g_{mf}\}]$  の抵抗61とインダクタンス値  $\{C_{gs1} / (g_{m1} g_{mf})\}$  のインダクタンス62の並列回路と概ね一致する。

【0013】いま、マイクロ波帯用の短ゲート長のFETを概ね  $f_T/3$  以下の周波数帯で使用した場合、 $(f/f_T)^2 = 1/9 \ll 1$  となり、(2)式における分母の実数項を無視できるので、インピーダンス  $Z_0$  がインダクタンス成分のみで与えられ、無損失な能動インダクタとして動作する。ゲート幅  $100 \mu m$  のFET (相互コンダクタンス  $g_m = 20 mS$ 、空乏層容量  $C_{gs} = 0.16 pF$ 、遮断周波数  $f_T = g_m / (2\pi C_{gs}) = 20 GHz$ ) を用いた場合の(2)式のインピーダンス  $Z_0$  の周波数特性を図51(a)および同図(b)に示す。この図では、インピーダンスのうちのインダクタンス成分(L)の周波数特性(同図(a))と抵抗分(R)の周波数特性(同図(b))を示している。ここで、使用する各FETのゲート幅はそれぞれ同じ大きさのものを使用するものとする。また、この図においては、ドレインコンダクタンス  $G_d = 0, 1, 2 mS$  の3つの場合について示してある。

【0014】この図からわかるように、ドレインコンダ

$$Z_0 = \frac{1}{\frac{g_{mf}}{\{1 + (\frac{f}{f_T})^2\}^2} \left[ \frac{g_{m1}}{j\omega C_{gs1}} \left\{ 1 - (\frac{f}{f_T})^2 - (\frac{f}{f_T})^4 - (\frac{f}{f_T})^6 \right\} + 1 + (\frac{f}{f_T})^2 \right]} \quad \dots (3)$$

で与えられる。ここで、FETの遮断周波数  $f_T$  を  $f_T = g_{m1} / (2\pi C_{gs1}) = g_{m2} / (2\pi C_{gs2}) = g_{mf} / (2\pi C_{gsf}) = g_{ma} / (2\pi C_{gsa})$  とする。

【0017】図53に示すように、この能動インダクタ900の等価回路は、抵抗値  $R_0$  の抵抗50と抵抗値  $(-1/g_{mf})$  の負性抵抗61とインダクタンス値  $C_{gs1} / (g_{m1} g_{mf})$  のインダクタンス62の並列回路と概ね一致する。ここで、抵抗値  $R_0 = 1/g_{mf}$  とすると、負性抵抗分が打ち消されてインダクタンス成分のみとなって無損失な能動インダクタとして動作する。

【0018】ゲート幅  $100 \mu m$  のFET (相互コンダクタンス  $g_m = 20 mS$ 、空乏層容量  $C_{gs} = 0.16 p$

クタンスが増加するにつれて、数GHz程度の比較的低い周波数帯においても定常的な抵抗損失が発生する。さらに、 $10 GHz$  ( $f = f_T/2$ ) 付近では、もはや(2)式の分母の実数項  $(f/f_T)^2 g_{mf} / \{1 + (f/f_T)^2\}$  の影響が無視できず、損失が増加している。したがって、この能動インダクタをマイクロ波帯以上の高い周波数において無損失で動作させることは難しいと言える。

【0015】〔第3の従来例〕第3の従来例として、図52にカスコード接続・ゲート接地カスコード接続帰還型の能動インダクタの構成を示す(上記の特開平2-205107号公報)。この能動インダクタ900は、図49中のFET39を用いた帰還回路の代わりに、ゲート接地したカスコード接続のFET39, FET43による帰還回路を接続したものである。

【0016】次に、抵抗50を接続しないとした場合における端子17, 18からみた回路のインピーダンス  $Z_0$  を求める。回路解析を簡単にするためにFET31, FET35, FET39, FET43が電気的に同じ特性を有し、ゲート直下のゲート・ソース間の空乏層容量  $C_{gs1}$ ,  $C_{gs2}$ ,  $C_{gsf}$ ,  $C_{gsa}$  と相互コンダクタ  $g_{m1}$ ,  $g_{m2}$ ,  $g_{mf}$ ,  $g_{ma}$  のみで表わすとすれば、インピーダンス  $Z_0$  は、

【数3】

F、ドレインコンダクタンス  $G_d = 0, 1, 2, 4 mS$ 、遮断周波数  $f_T = g_m / (2\pi C_{gs}) = 20 GHz$  を用いた場合のインピーダンス  $Z_0$  に関するLおよびRの周波数特性を図54(a)および同図(b)に示す。ここで、使用する各FETのゲート幅はそれぞれ同じ大きさのものを使用するものとする。また、ここでは抵抗値  $R_0 = 200 \Omega$  の場合を示してある。この能動インダクタ900は、インダクタンスに対して並列に負性抵抗を発生させているため、抵抗値  $R_0$  を調整することで低損失化が図れるものの、損失補償される周波数範囲が狭いことが問題点として挙げられる。

【0019】〔第4の従来例〕第4の従来例として、図

55にゲート抵抗挿入型の能動インダクタの構成を示す(P. Alinikula et al., "Monolithic active resonators for wireless applications," IEEE Microwave and Millimeter-Wave Monolithic Circuits Symposium Dig., pp.197-200, 1994. 又は P. Alinikula et al., "Integrating Active Resonators for Wireless applications," Microwave journal, pp.106-113, Jan, 1995.)。この能動インダクタ1000は、ソース接地のFET31のドレイン32からゲート34に対してゲート接地のFET39を用いて帰還をかけるとともに、FET39のゲ

$$Z_0 = \frac{\{1 - (\frac{f}{f_T})^2\} \{ \frac{1}{g_{mf}} + (\frac{f}{f_T})^2 R_0 \} \frac{j\omega C_{gs1}}{g_{m1}}}{\{1 - (\frac{f}{f_T})^2 + (\frac{f}{f_T})^4\}} - \frac{(\frac{f}{f_T})^2 \{ \{1 - (\frac{f}{f_T})^2\} R_0 - \frac{1}{g_{mf}} \}}{\{1 - (\frac{f}{f_T})^2 + (\frac{f}{f_T})^4\}} \dots (4)$$

で与えられる。ここで、FETの遮断周波数 $f_T$ は、 $f_T = g_{m1} / (2\pi C_{gs1}) = g_{mf} / (2\pi C_{gsf})$ とする。同一ウェハ内では、このような遮断周波数 $f_T$ が等しい特性を有するFETを容易に構成することができる。

【0021】図56に示すように、この能動インダクタ1000の等価回路は、抵抗値 $-(f/f_T)^2 \{R_0 - 1/g_{mf}\}$ の抵抗61とインダクタンス値 $C_{gs1}/(g_{m1}g_{mf})$ のインダクタンス62の直列回路と概ね一致する。ゲート幅 $100\mu m$ のFET(相互コンダクタンス $g_m = 20mS$ 、空乏層容量 $C_{gs} = 0.16pF$ 、ドレインコンダクタンス $G_d = 0.1, 2mS$ 、遮断周波数 $f_T = g_m / (2\pi C_{gs}) = 20GHz$ )を用いた場合のインピーダンス $Z_0$ に関する $L$ および $R$ の周波数特性は図57(a)および同図(b)に示すものとなる。ここで、使用する各FETのゲート幅はそれぞれ同じ大きさのものを使用するものとする。また、ここでは抵抗値 $R_0 = 100\Omega$ の場合を示してある。この能動インダクタ1000は、周波数に依存する負性抵抗を発生させているため、抵抗値 $R_0$ を調整することで低損失化が図れるものの、損失補償される周波数範囲が狭いことが問題点として挙げられる。

【0022】〔第5の従来例〕第5の従来例として、図58に、ゲート抵抗挿入型の能動インダクタの構成を示す(S. Lucyszyn et al., "Monolithic narrow-band filter using ultrahigh-Q tunable active inductors", IEEE Transactions on Microwave Theory and Techniques, vol.42, pp.2617-2622, Dec. 1994)。この能動インダクタ1100は、第2の従来例と同様に、ソース接地のFET31とゲート接地のFET35をカスコード接続し、FET35からFET31に対してゲート接地のFET39による一方向の帰還をかけている。これに加えて、FET39のゲート42と直流電圧阻止用のコンデンサCとの間に抵抗値 $R_0$ の抵抗50を、FET31

ト42と直流電圧阻止用のコンデンサCとの間に抵抗値 $R_0$ の抵抗50を挿入している。

【0020】次に、能動インダクタ1000の端子17, 18からみたインピーダンス $Z_0$ を求める。回路解析を簡単にするために、FET31, FET39が電氣的に同じ特性を有し、ゲート直下のゲート・ソース間の空乏層容量 $C_{gs1}$ ,  $C_{gsf}$ と相互コンダクタンス $g_{m1}$ ,  $g_{mf}$ のみで表わすとすれば、インピーダンス $Z_0$ は、  
【数4】

のゲート34とFET39のドレイン40との間にインダクタンス調整用の帰還抵抗16(抵抗値 $R$ )を挿入している。

【0023】次に、能動インダクタ1100の端子17, 18からみた回路のインピーダンス $Z_0$ を求める。回路解析を簡単にするために、第1の従来例と同様に、インダクタンス値調整用の帰還抵抗として機能する抵抗16の抵抗値 $R = 0\Omega$ とし、FET31, FET35, FET39が電氣的に同じ特性を有し、ゲート直下のゲート・ソース間の空乏層容量 $C_{gs1}$ ,  $C_{gs2}$ ,  $C_{gsf}$ と、相互コンダクタンス $g_{m1}$ ,  $g_{m2}$ ,  $g_{mf}$ のみで表わすとすれば、インピーダンス $Z_0$ は、  
【数5】

で与えられる。ここで、FETの遮断周波数 $f_1$ は、 $f_1 = g_{m1} / (2\pi C_{gs1}) = g_{m2} / (2\pi C_{gs2}) = g_m f / (2\pi C_{gsf})$ とする。同一ウエハ内では、このような遮断周波数 $f_1$ が等しい特性を有するFETを容易に構成することができる。

【0024】図59に示すように、能動インダクタ1100の等価回路は、抵抗値  $1 / \{ (f / f_T)^2 g_{mf} \}$  の抵抗61とインダクタンス値  $C_{gs1} / \{ g_{m1} g_{mf} \}$  のインダクタンス62の並列回路と、抵抗値  $-(f / f_T)^2 R_0$  の負性抵抗63とインダクタンス  $C_{gsf} R_0 / \{ (f / f_T)^2 g_{mf} \}$  のインダクタンス64の並列回路とからなる直列回路と概ね一致する。

クタンス  $g_m = 2.0 \text{ mS}$ 、空乏層容量  $C_{gs} = 0.16 \text{ pF}$ 、ドレインコンダクタンス  $G_d = 0.12 \text{ mS}$ 、遮断周波数  $f_T = g_m / (2\pi C_{gs}) = 20 \text{ GHz}$ ）を用いた場合のインピーダンス  $Z_i$  に関する  $L$  および  $R$  の周波数特性を図 60 (a) および同図 (b) に示す。ここで、使用する各 FET のゲート幅はそれぞれ同じ大きさのものを使用するものとする。また、ここでは抵抗値  $R_i = 5.0 \Omega$  の場合を示してある。このように、この能動インダクタ  $1100$  は周波数に依存する負性抵抗を発生させているため、抵抗値  $R_i$  を調整することで低損失化が図れるものの、損失補償される周波数範囲が狭いことが問題点として挙げられる。

【0026】以上のように、既存の能動インダクタにあっては、FETのドレイン・ソース間のドレインコンダクタンスやゲートバイアス用抵抗、DCバイアス回路などの影響によって抵抗損失が発生するために、マイクロ波帯以上の高周波帯域において良好な動作が実現できないという欠点を有していた。この発明は、このような背景の下になされたものであって、マイクロ波帯以上の高周波帯においても、インダクタンス値が大きくドレインコンダクタンスなどによって発生する抵抗損失を補償して低損失となり、しかも小型化が可能な能動インダクタを提供することを目的としている。

【課題を解決するための手段】以上の課題を解決するために、請求項 1 記載の発明は、周波数によらず定常的に発生する抵抗損失を、周波数に対して一定の負性抵抗を発生させて相殺する第 1 の補償手段を有し、能動素子のみから構成されたことを特徴としている。また、請求項 2 記載の発明は、請求項 1 記載の発明において、周波数が高くなるにつれて増大する抵抗損失を、該抵抗損失の周波数特性と相反する周波数特性を持つ負性抵抗を発生させて相殺する第 2 の補償手段を有することを特徴としている。また、請求項 3 記載の発明は、請求項 1 又は 2 記載の発明において、前記第 1 の補償手段は、前記能動インダクタに内在するインダクタンス成分に対して前記負性抵抗を直列に発生させることを特徴としている。

【0028】また、請求項4記載の発明は、第1のトランジスタと、第1電極が前記第1のトランジスタの第2電極に接続され、第2電極が前記第1のトランジスタの第3電極に接続された第2のトランジスタと、第1電極が前記第2のトランジスタの第2電極に接続され、第2電極が前記第2のトランジスタの第3電極に接続され、第3電極が前記第1のトランジスタの第1電極に接続された第3のトランジスタとを有し、前記第2のトランジスタの第3電極と前記第3のトランジスタの第2電極との接続線から引き出した第1の端子と、前記第1のトランジスタの第2電極から引き出した第2の端子とを2端子としたことを特徴としている。また、請求項5記載の発明は、請求項4記載の発明において、前記第2のトラ

ンジスタの第3電極と前記第3のトランジスタの第2電極との接続線と、前記第1の端子との間に第1の抵抗素子を挿入したことを特徴としている。

【0029】また、請求項6記載の発明は、請求項4又は5記載の発明において、前記第2のトランジスタの第2電極と前記第3のトランジスタの第1電極との間に第2の抵抗素子を挿入したことを特徴としている。また、請求項7記載の発明は、請求項4～6の何れかの項記載の発明において、前記第1のトランジスタの第2電極と前記第2のトランジスタの第1電極との間に第3の抵抗素子を挿入したことを特徴としている。

【0030】また、請求項8記載の発明は、請求項4～7の何れかの項記載の発明において、前記第1のトランジスタの第1電極と前記第1のトランジスタの第2電極との間に第4の抵抗素子を挿入したことを特徴としている。また、請求項9記載の発明は、請求項4～8の何れかの項記載の発明において、前記第1のトランジスタの第1電極と前記第3のトランジスタの第3電極との間に第5の抵抗素子を挿入したことを特徴としている。

【0031】また、請求項10記載の発明は、請求項4～9の何れかの項記載の発明において、前記第1のトランジスタの第1電極及び第2電極の間に第1のコンデンサを接続し、前記第2のトランジスタの第1電極及び第2電極の間に第2のコンデンサを接続し、前記第3のトランジスタの第1電極及び第2電極の間に第3のコンデンサを接続したことを特徴としている。

【0032】また、請求項11記載の発明は、請求項4～10の何れかの項記載の発明において、前記第1のトランジスタの第3電極と前記第2のトランジスタの第2電極との間に $m$  ( $m \geq 1$ ) 個のトランジスタを挿入し、前記 $m$ 個のトランジスタを前記第1のトランジスタへカスコードに接続したことを特徴としている。また、請求項12記載の発明は、請求項11記載の発明において、前記 $m$ 個のトランジスタの各々の第1電極及び第2電極の間にそれぞれコンデンサを接続したことを特徴としている。

【0033】また、請求項13記載の発明は、請求項4～12の何れかの項記載の発明において、前記第1のトランジスタの第1電極と前記第3のトランジスタの第3電極との間に $n$  ( $n \geq 1$ ) 個のトランジスタを挿入し、前記 $n$ 個のトランジスタを前記第3のトランジスタへカスコードに接続したことを特徴としている。また、請求項14記載の発明は、請求項13記載の発明において、前記 $n$ 個のトランジスタの各々の第1電極及び第2電極の間にそれぞれコンデンサを接続したことを特徴としている。

【0034】また、請求項15記載の発明は、請求項4～14の何れかの項記載の発明において、前記第2のトランジスタの第3電極と前記第3のトランジスタの第2電極との間に $p$  ( $p \geq 1$ ) 個のトランジスタを挿入し、

前記 $p$ 個のトランジスタを前記第2のトランジスタへカスコードに接続したことを特徴としている。また、請求項16記載の発明は、請求項15記載の発明において、前記 $p$ 個のトランジスタの各々の第1電極及び第2電極の間にそれぞれコンデンサを接続したことを特徴としている。

【0035】なお、この発明において、各トランジスタがFETもしくはHEMT (High Electron Mobility Transistor) の場合、これらトランジスタの第1電極はゲート電極、第2電極はソース電極、第3電極はドレイン電極である。また、各トランジスタがバイポーラトランジスタの場合、これらトランジスタの第1電極はベース電極、第2電極はエミッタ電極、第3電極はコレクタ電極である。

【0036】

【発明の実施の形態】以下、図面を参照して本発明の実施形態について説明する。

【実施形態1】図1はこの実施形態による能動インダクタ100の回路図である。この図において、端子17、18は、この回路をインダクタ素子と見なしたときの端子、 $Z_0$ は端子17、18からこの回路を見たときのインピーダンス、 $C$ は直流電圧阻止用のコンデンサ、 $P$ は電圧が印加されるポイントである。

【0037】31、39、43はFETであって、ゲート直下のゲート・ソース間の空乏層容量として各々 $C_{gs1}$ 、 $C_{gsf}$ 、 $C_{gsa}$ を有し、相互コンダクタンスとして各々 $g_{m1}$ 、 $g_{mf}$ 、 $g_{ma}$ を有する。また、図に示した $G$ 、 $S$ 、 $D$ はそれぞれ、FETのゲート電極、ソース電極、ドレイン電極である。すなわち、端子32、40、44はそれぞれFET31、39、43のドレイン電極、端子33、41、45はそれぞれFET31、39、43のソース電極、端子34、42、46はそれぞれFET31、39、43のゲート電極である。また、50は抵抗値 $R_0$ を有する抵抗である。

【0038】この能動インダクタ100は、ソース接地のFET31に対して、ゲート接地でカスコード接続したFET39とFET43により一方向の帰還を行っている。また、FET39のドレイン40とFET43のソース45の接続点と端子17との間に抵抗50が接続されている。

【0039】次に、端子17、18からFET39側を見たインピーダンス $Z_0$ を求める。回路の解析を簡単にするため、FET31、FET39、FET43がすべて電氣的に同じ特性を有し、それぞれがゲート直下のゲート・ソース間の空乏層容量 $C_{gs1}$ 、 $C_{gsf}$ 、 $C_{gsa}$ および相互コンダクタンス $g_{m1}$ 、 $g_{mf}$ 、 $g_{ma}$ のみで表現されるとすれば、インピーダンス $Z_0$ は次式で与えられる。

【数6】



$$Z_0 = \frac{1}{\{1 - (\frac{f}{f_T})^2\}} \left\{ -\frac{1}{g_{mf}} + \left( \frac{1}{g_{mf}} + \frac{1}{g_{ma}} \right) \frac{j\omega C_{gs1}}{g_{m1}} \right\} + R_0 \cdots (6)$$

【0040】いま、FETの遮断周波数 $f_T = g_{m1} / (2\pi C_{gs1}) = g_{mf} / (2\pi C_{gsf}) = g_{ma} / (2\pi C_{gsa})$ とする。このときの等価回路を図2に示す。同図に示すように、抵抗値 $R_0$ の抵抗50と抵抗値 $(-1/g_{mf})$ の抵抗61とインダクタンス値 $\{ (1/g_{mf} + 1/g_{ma}) C_{gs1} / g_{m1} \}$ のインダクタンス62の直列回路と概ね一致する。

【0041】抵抗50の抵抗値 $R_0$ を抵抗61の抵抗値と同じ大きさの $1/g_{mf}$ とすると、(6)式における抵抗分が打ち消され、インピーダンス $Z_0$ がインダクタンス成分のみで与えられ、無損失なインダクタとして動作する。このことを図3を用いて説明する。同図は、横軸に周波数を取り縦軸に能動インダクタの抵抗分の抵抗値 $R$ をとった周波数特性図である。抵抗50が存在しないとした場合に、能動インダクタの抵抗値は、同図における「定期的に発生する抵抗損失+負性抵抗」の値であって、負の抵抗値を有する。すなわち、従来の「定期的に発生する抵抗損失」に対して「負性抵抗」を発生させることによって、これらの和の抵抗値が負の抵抗値になるようにしたものである。一方、抵抗50の抵抗値は同図における「直列抵抗」の値であって、正の抵抗値を有する。したがって、抵抗50の抵抗値を、これら抵抗値の和と符号が逆で同じ大きさとすることによって抵抗値が相殺され、同図における「補償後」の特性、すなわち「0」、とすることができる。

【0042】次に、ゲート幅 $100\mu\text{m}$ のFET(相互コンダクタンス $g_m = 20\text{ms}$ 、空乏層容量 $C_{gs} = 0.16\text{pF}$ 、遮断周波数 $f_T = g_m / (2\pi C_{gs}) = 20\text{GHz}$ )を用いた能動インダクタにおけるインピーダンス $Z_0$ に関する $L$ および $R$ の周波数特性を図4(a)および同図(b)に示す。ここで、使用する各FETのゲート幅はそれぞれ同じ大きさのものを使用するものとする。また、抵抗50の抵抗値 $R_0$ を0とする。さらに、この図ではドレインコンダクタンス $G_d = 0, 1, 2, 4\text{mS}$ の4つの場合について示してある。なお、上述したように、全FETが電氣的に同じ特性を有するとした

ことにより、すべてのFETは同一のドレインコンダクタンス $G_d$ を持つ。

【0043】図4(b)に示す抵抗分 $R$ の周波数特性から負性抵抗を有することがわかる。従って、上述したように、抵抗50の抵抗値をこの負性抵抗値に合わせることによって、等価的な抵抗値を0とすることができる。以上のように、抵抗50の抵抗値 $R_0$ を適切に設定することによって、定期的に発生する抵抗損失を補償し、低損失な周波数特性を持たせることができる。したがって、本実施形態の能動インダクタがマイクロ波帯以上の周波数においても良好に動作することがわかる。

【0044】〔実施形態2〕図5はこの実施形態による能動インダクタ200の回路図である。この図において、図1と同一の部品、信号等には同一の符号を付してあり、その説明を省略する。図1との比較からわかるように、この能動インダクタ200は、前述の能動インダクタ100に対してさらに抵抗値 $R_{f1}$ の抵抗71を有する。

【0045】すなわち、この能動インダクタ200は、ソース接地のFET31に対して、ゲート接地でカスコード接続したFET39とFET43により一方向の帰還を行っている。また、FET39のドレイン40とFET43のソース45の接続点と端子17との間に抵抗値 $R_0$ の抵抗50を接続するとともに、FET39のソース41とFET43のゲート46間に抵抗71を接続している。

【0046】次に、端子17、18からFET39側を見たインピーダンス $Z_0$ を求める。回路の解析を簡単にするため、FET31、FET39、FET43がすべて電氣的に同じ特性を有し、それぞれがゲート直下のゲート・ソース間の空乏層容量 $C_{gs1}$ 、 $C_{gsf}$ 、 $C_{gsa}$ および相互コンダクタンス $g_{m1}$ 、 $g_{mf}$ 、 $g_{ma}$ のみで表現されたとすれば、インピーダンス $Z_0$ は次式で与えられる。

【数7】

$$Z_0 = \frac{1}{\{1 - (\frac{f}{f_T})^2\}} \left\{ -\frac{1}{g_{mf}} - \left( \frac{f}{f_T} \right)^2 R_{f1} + \left( \frac{1}{g_{mf}} + \frac{1}{g_{ma}} \right) \frac{j\omega C_{gs1}}{g_{m1}} \right\} + R_0 \cdots (7)$$

【0047】いま、FETの遮断周波数 $f_T = g_{m1} / (2\pi C_{gs1}) = g_{mf} / (2\pi C_{gsf}) = g_{ma} / (2\pi C_{gsa})$ とする。このときの等価回路の回路図を図6に示す。同図に示すように、抵抗値 $R_0$ の抵抗50と抵抗値 $- \{ 1/g_{mf} + (f/f_T)^2 R_{f1} \}$ の抵抗61とインダクタンス値 $\{ (1/g_{mf} + 1/g_{ma}) C_{gs1} / g_{m1} \}$ のインダクタンス62の直列回路と概ね一致する。

抵抗50の抵抗値 $R_0$ を抵抗61と同じ大きさの $\{ 1/g_{mf} + (f/f_T)^2 R_{f1} \}$ とすると、(7)式における抵抗分が打ち消され、インピーダンス $Z_0$ がインダクタンス成分のみで与えられて、無損失なインダクタとして動作する。

【0048】ここで、ゲート幅  $100\mu\text{m}$  の FET (相互コンダクタンス  $g_m = 20\text{ms}$ 、空乏層容量  $C_{gs} = 0.16\text{pF}$ 、遮断周波数  $f_T = g_m / (2\pi C_{gs}) = 20\text{GHz}$ 、ドレインコンダクタンス  $G_d = 2\text{mS}$ ) を用いた能動インダクタに対して、抵抗 71 の抵抗値  $R_{f1}$  を変化させた場合におけるインピーダンス  $Z_0$  に関する L および R の周波数特性を図 7 (a) および同図 (b) に示す。この図では、抵抗値  $R_{f1} = 0, 10, 50\Omega$  の 3 つの場合を示してある。なお、使用する各 FET のゲート幅はそれぞれ同じ大きさのものを使用するものとする。また、抵抗 50 の抵抗値  $R_0$  は 0 とする。

【0049】前掲の図 4 (b) における抵抗分 R の周波数特性図から、ドレインコンダクタンス値が変化すると抵抗損失の周波数特性が変化することがわかる。しかし、図 7 (b) に示すように、発生する負性抵抗の周波数特性が抵抗 71 の抵抗値  $R_{f1}$  に応じて変化するので、抵抗値  $R_{f1}$  を適切に設定することで上記の周波数特性の変化を補償することができる。すなわち、図 6 の抵抗 61 が持つ  $\{-(f/f_T)^2 R_{f1}\}$  の周波数依存性によって、図 4 (b) に示すドレインコンダクタンス値の変化によって発生する抵抗損失の周波数特性を相殺することができる。

【0050】このことを図 8 を用いて説明する。同図は横軸に周波数を取り、縦軸に能動インダクタの抵抗分の抵抗値 R をとった場合の周波数特性図である。図 4

(b) に示した抵抗分の周波数特性は、図 8 における「周波数が高くなるにつれて増加する抵抗損失」に相当し、 $10\text{GHz}$  近傍を越える周波数領域では正の抵抗値を有する。一方、抵抗 71 の抵抗値  $R_{f1}$  に基づく  $\{-(f/f_T)^2 R_{f1}\}$  の周波数特性は、図 8 における「挿入抵抗により発生させた負性抵抗」に相当し、 $10\text{GHz}$  近傍を越える周波数領域では負の抵抗値を有する。し

たがって、抵抗損失における周波数特性の変化が相殺され、図 8 における「補償後」の特性、すなわち抵抗損失「0」の特性が得られる。

【0051】以上のように、抵抗 71 の抵抗値  $R_{f1}$  を調整することで、所与のドレインコンダクタンス値に対して適切な損失補償を行うことができる。また、抵抗 50 の抵抗値  $R_0$  を適切に設定することで、定常的に発生する抵抗損失 (図 3 を参照) を補償し、低損失な周波数特性を持たせることができる。したがって、本実施形態の能動インダクタがマイクロ波帯以上の周波数においても良好に動作することがわかる。

【0052】〔実施形態 3〕図 9 はこの実施形態による能動インダクタ 300 の回路図である。この図において、図 5 と同一の部品、信号等には同一の符号を付してあり、その説明を省略する。

【0053】この能動インダクタ 300 は、ソース接地の FET 31 に対して、ゲート接地でカスコード接続した FET 39 と FET 43 により一方向の帰還を行っている。また、FET 39 のドレイン 40 と FET 43 のソース 45 の接続点と端子 17 との間に抵抗値  $R_0$  の抵抗 50 を接続するとともに、FET 39 のゲート 42 と FET 31 のソース 33 間に抵抗値  $R_{f2}$  の抵抗 72 を接続している。

【0054】次に、端子 17, 18 から FET 39 側を見たインピーダンス  $Z_0$  を求める。回路の解析を簡単にするため、FET 31, FET 39, FET 43 がすべて電気的に同じ特性を有し、それぞれがゲート直下のゲート・ソース間の空乏層容量  $C_{gs1}$ ,  $C_{gsf}$ ,  $C_{gsa}$  および相互コンダクタンス  $g_{m1}$ ,  $g_{mf}$ ,  $g_{ma}$  のみで表現されるとすれば、インピーダンス  $Z_0$  は次式で与えられる。

【数 8】

$$Z_0 = \frac{1}{\{1 - (\frac{f}{f_T})^2\}} \left\{ -\frac{1}{g_{mf}} - (\frac{f}{f_T})^2 R_{f2} + \left( \frac{1}{g_{mf}} + \frac{1}{g_{ma}} - R_{f2} \right) \frac{j\omega C_{gs1}}{g_{m1}} \right\} + R_0 \cdots (8)$$

【0055】いま、FET の遮断周波数  $f_T = g_{m1} / (2\pi C_{gs1}) = g_{mf} / (2\pi C_{gsf}) = g_{ma} / (2\pi C_{gsa})$  とする。このときの等価回路の回路図を図 10 に示す。同図に示すように、抵抗値  $R_0$  の抵抗 50 と抵抗値  $\{1/g_{mf} + (f/f_T)^2 R_{f2}\}$  の抵抗 61 とインダクタンス値  $\{(1/g_{mf} + 1/g_{ma} - R_{f2}) C_{gs1} / g_{m1}\}$  のインダクタンス 62 の直列回路と概ね一致する。抵抗 50 の抵抗値  $R_0$  を抵抗 61 と同じ大きさの  $\{1/g_{mf} + (f/f_T)^2 R_{f2}\}$  とすると、(8) 式における抵抗分が打ち消され、インピーダンス  $Z_0$  がインダクタンス成分のみで与えられて、無損失なインダクタとして動作する。

【0056】ここで、ゲート幅  $100\mu\text{m}$  の FET (相互コンダクタンス  $g_m = 20\text{ms}$ 、空乏層容量  $C_{gs} =$

$0.16\text{pF}$ 、遮断周波数  $f_T = (g_m / 2\pi C_{gs}) = 20\text{GHz}$ 、ドレインコンダクタンス  $G_d = 2\text{mS}$ ) を用いた能動インダクタに対して、抵抗 72 の抵抗値  $R_{f2}$  を変化させた場合のインピーダンス  $Z_0$  に関する L および R の周波数特性を図 11 (a) および同図 (b) に示す。この図では、抵抗値  $R_{f2} = 0, 10, 50\Omega$  の 3 つの場合を示してある。なお、使用する各 FET のゲート幅はそれぞれ同じ大きさのものを使用するものとする。また、抵抗 50 の抵抗値  $R_0$  は 0 とする。

【0057】前掲の図 4 (b) における抵抗分 R の周波数特性図から、ドレインコンダクタンス値が変化すると抵抗損失の周波数特性が変化することがわかる。しかし、図 11 (b) に示すように、発生する負性抵抗の周波数特性が抵抗 72 の抵抗値  $R_{f2}$  に応じて変化するの

で、抵抗72の抵抗値 $R_{f2}$ を適切に設定することにより、実施形態2と同様に、上記の周波数特性の変化を補償することができる。

【0058】以上のように、抵抗72の抵抗値 $R_{f2}$ を調整することで、所与のドレインコンダクタンス値に対して適切な損失補償を行うことができる。また、抵抗50の抵抗値 $R_0$ を適切に設定することで、定常的に発生する抵抗損失(図3を参照)を補償し、低損失な周波数特性を持たせることができる。したがって、本実施形態の能動インダクタがマイクロ波帯以上の周波数においても良好に動作することがわかる。

【0059】〔実施形態4〕図12はこの実施形態による能動インダクタ400の回路図である。この図において、図5と同一の部品、信号等には同一の符号を付してあり、その説明を省略する。

【0060】この能動インダクタ400は、ソース接地のFET31に対して、ゲート接地でカスコード接続したFET39とFET43により一方向の帰還を行っている。また、FET39のドレイン40とFET43のソース45の接続点と端子17との間に抵抗値 $R_0$ の抵抗50を接続するとともに、FET31のゲート34とソース33間に抵抗値 $R_{f3}$ の抵抗73を接続している。

【0061】次に、端子17、18からFET39側を見たインピーダンス $Z_0$ を求める。回路の解析を簡単にするため、FET31、FET39、FET43がすべて電気的に同じ特性を有し、それぞれがゲート直下のゲート・ソース間の空乏層容量 $C_{gs1}$ 、 $C_{gsf}$ 、 $C_{gsa}$ および相互コンダクタンス $g_{m1}$ 、 $g_{mf}$ 、 $g_{ma}$ のみでそれぞれ表現されるものとする。このときの等価回路の回路図は、数GHz程度の低い周波数帯では概ね図13のようになる。抵抗73の抵抗値 $R_{f3}$ を $\{g_{mf}/(g_{m1} + g_{ma})\}$ とすると、抵抗61の抵抗値が0となる。したがって、抵抗50の抵抗値 $R_0$ を0とすることによって抵抗分を無視することができ、インピーダンス $Z_0$ がインダクタンス成分のみで与えられる。

【0062】ここで、ゲート幅 $100\mu\text{m}$ のFET(相互コンダクタンス $g_m = 20\text{mS}$ 、空乏層容量 $C_{gs} = 0.16\text{pF}$ 、遮断周波数 $f_T = g_m/(2\pi C_{gs}) = 20\text{GHz}$ 、ドレインコンダクタンス $G_d = 2\text{mS}$ )を用いた能動インダクタに対して、抵抗73の抵抗値 $R_{f3}$ を変化させた場合のインピーダンス $Z_0$ に関する $L$ および $R$ の周波数特性を図14(a)および同図(b)に示す。この図では、抵抗値 $R_{f3} = 5.0, 100, 1\text{G}\Omega$ の3つの場合を示してある。なお、使用する各FETのゲート幅はそれぞれ同じ大きさのものを使用するものとする。また、抵抗50の抵抗値 $R_0$ は0とする。

【0063】前掲の図4(b)における抵抗分 $R$ の周波数特性図から、ドレインコンダクタンス値が変化すると抵抗損失の周波数特性が変化することがわかる。しかし、図14(b)に示すように、発生する負性抵抗の周

波数特性が抵抗73の抵抗値 $R_{f3}$ に応じて変化するもので、抵抗73の抵抗値 $R_{f3}$ を適切に設定することで、実施形態2と同様に、上記の周波数特性の変化を補償することができる。

【0064】以上のように、抵抗73の抵抗値 $R_{f3}$ を調整することで、所与のドレインコンダクタンス値に対して適切な損失補償を行うことができる。また、抵抗50の抵抗値 $R_0$ を適切に設定することで、定常的に発生する抵抗損失(図3を参照)を補償し、低損失な周波数特性を持たせることができる。したがって、本実施形態の能動インダクタがマイクロ波帯以上の周波数においても良好に動作することがわかる。

【0065】〔実施形態5〕図15はこの実施形態による能動インダクタ500の回路図である。この図において、図5と同一の部品、信号等には同一の符号を付してあり、その説明を省略する。

【0066】この能動インダクタ500は、ソース接地のFET31に対して、ゲート接地でカスコード接続したFET39とFET43により一方向の帰還を行っている。また、FET39のドレイン40とFET43のソース45の接続点と端子17との間に抵抗値 $R_0$ の抵抗50を接続するとともに、FET43のドレイン44とFET31のゲート34間に抵抗値 $R_{f4}$ の抵抗74を接続している。

【0067】次に、ゲート幅 $100\mu\text{m}$ のFET(相互コンダクタンス $g_m = 20\text{mS}$ 、空乏層容量 $C_{gs} = 0.16\text{pF}$ 、遮断周波数 $f_T = g_m/(2\pi C_{gs}) = 20\text{GHz}$ 、ドレインコンダクタンス $G_d = 2\text{mS}$ )を用いた能動インダクタに対して、抵抗74の抵抗値 $R_{f4}$ を変化させた場合に、インピーダンス $Z_0$ に関する $L$ および $R$ の周波数特性を図16(a)および同図(b)に示す。この図では、抵抗値 $R_{f4} = 0, 200, 400\Omega$ の3つの場合を示してある。なお、使用する各FETのゲート幅はそれぞれ同じ大きさのものを使用するものとする。また、抵抗50の抵抗値 $R_0$ は0とする。

【0068】前掲の図4(b)における抵抗分 $R$ の周波数特性図から、ドレインコンダクタンス値が変化すると抵抗損失の周波数特性が変化することがわかる。しかし、図16(b)に示すように、発生する負性抵抗の周波数特性が抵抗74の抵抗値 $R_{f4}$ に応じて変化するもので、抵抗74の抵抗値 $R_{f4}$ を適切に設定することで、実施形態2と同様に、上記の周波数特性の変化を補償することができる。

【0069】以上のように、抵抗74の抵抗値 $R_{f4}$ を調整することで、所与のドレインコンダクタンス値に対して適切な損失補償を行うことができる。また、抵抗50の抵抗値 $R_0$ を適切に設定することで、定常的に発生する抵抗損失(図3を参照)を補償し、低損失な周波数特性を持たせることができる。したがって、本実施形態の能動インダクタがマイクロ波帯以上の周波数においても

良好に動作することがわかる。

【0070】そして、以上説明した各実施形態の能動インダクタにあっては、本質的に抵抗素子やコンデンサを必要とせず能動素子だけで構成できることから、素子数の削減による回路の小型化が図れる上に、コンデンサなどの受動素子を要するインダクタに比べて自己共振周波数を高くすることができる。また、FETのゲートへの電圧印加ポイントPの電圧を変化させることによって、FETの相互コンダクタンス $g_m$ が変化し、能動インダクタのインダクタンス値を可変できることから、電圧調整型の能動インダクタを実現できる。

【0071】〔変形例1〕上述した実施形態1~5において、低周波での等価回路がこれらの各実施形態のものと同様であれば、上記以外の回路構成としても良い。このような回路構成の第1の例として、上述した各能動インダクタ中のソース接地のFET31を、ソース接地のFETとゲート接地のFETからなるカスコード接続回路へ置き換える構成が考えられる。このように構成した能動インダクタの回路図を、実施形態1~実施形態5に対応させてそれぞれ図17~図21に示す。

【0072】例えば、実施形態1に対応する回路構成について説明すると、図17の回路では、図1の回路に対してFET35が追加されており、図1のソース接地のFET31が、FET31およびFET35から成るソース接地カスコードFETに置き換えられている。なお、FET35の後段へさらにFETを追加して、ソース接地カスコードFETの段数を増やした構成としても良い。そして、以上のように構成しても、実施形態1~5で説明したものと同様の作用、効果が得られる。

【0073】〔変形例2〕また、低周波での等価回路が実施形態1~5と同様な第2の例として、ゲート接地カスコードFETを構成するFET39をカスコード接続とした構成が考えられる。その一例として、このような変形を実施形態1の回路(図1を参照)へ適用した場合の回路構成を図22に示してある。この図に示すように、FET39のドレイン40と、FET43のソース45との間に新たなFET81が挿入されており、FET81のソース83がFET39のドレイン40とFET43のゲート46に接続され、FET81のゲート84、ドレイン82がそれぞれFET39のソース41、FET43のソース45に接続されている。

【0074】いま、回路の解析を簡単にするため、FET81がFET31、FET39、FET43と電気的に同じ特性を有し、ゲート直下のゲート・ソース間の空乏層容量 $C_{gsb}$ および相互コンダクタンス $g_{mb}$ のみで表現されたとし、FETの遮断周波数 $f_T = g_m / (2\pi C_{gs1}) = g_{mf} / (2\pi C_{gsf}) = g_{ma} / (2\pi C_{gsa}) = g_{mb} / (2\pi C_{gsb})$ とする。そうすると、図22に示す能動インダクタの低周波での等価回路は、抵抗値 $R_0$ の抵抗と抵抗値 $-(1/g_{mf} + 1/g_{mb})$ の負

性抵抗とインダクタンス値 $\{(1/g_{mb} + 1/g_{ma}) C_{gs1} / g_{m1}\}$ のインダクタンスの直列回路と概ね一致する。したがって、相互コンダクタンス $g_{mb}$ と $g_{mf}$ を等しくとれば、負性抵抗値が2倍になる以外は図1に示す能動インダクタの等価回路(図2を参照)と同じになる。そして、このように負性抵抗値が大きいことは、能動インダクタを発振器に使用する場合を考えると都合が良い。

【0075】なお、実施形態2~5に対しても同様の変形が可能であることはもちろんである。また、FET81の後段へFETをさらに追加して、カスコード接続の段数を増やした構成としても良い。そして、以上のように構成しても、実施形態1~5で説明したものと同様の作用、効果が得られる。

【0076】〔変形例3〕さらに、低周波での等価回路が実施形態1~5と等しい第3の例として、ゲート接地のカスコードFETを構成するFET43をカスコード接続とした構成が考えられる。その一例として、このような変形を実施形態1の回路(図1を参照)へ適用した場合の回路構成を図23に示してある。この図に示すように、FET43のドレイン44とFET31のゲート34の間に新たなFET85が挿入されており、FET85のソース87、ゲート88がそれぞれFET43のドレイン44、ソース45に接続され、FET85のドレイン86がFET31のゲート34に接続されている。

【0077】なお、実施形態2~5に対しても同様の変形が可能であることはもちろんである。また、FET85の後段へFETをさらに追加して、カスコード接続の段数を増やした構成としても良い。以上のように構成しても、実施形態1~5で説明したものと同様の作用、効果が得られる。さらに、低周波での等価回路が同様であれば、変形例1~変形例3以外の回路構成であっても良い。

【0078】〔変形例4〕上述した実施形態2~5では、周波数に依存した負性抵抗を発生させるために、抵抗値 $R_{f1} \sim R_{f4}$ の抵抗71~74を互いに異なる箇所に1個だけ挿入している。しかし、本発明はこれに限定されるものではなく、これら実施形態を組み合わせることで、周波数に依存した負性抵抗を発生させるための抵抗素子を2箇所以上に挿入した回路構成としても良い。

【0079】そこでまず、抵抗素子を2箇所に挿入した場合における回路構成を図24~図29に示す。図24は、実施形態2、3の組み合わせに相当し、FET39のソース41とFET43のゲート46間に抵抗値 $R_{f1}$ の抵抗71を挿入し、FET39のゲート42とFET31のソース33間に抵抗値 $R_{f2}$ の抵抗72を挿入した構成となっている。

【0080】また、図25は実施形態2、4の組み合わせであって、FET39のソース41とFET43のゲ

ート46間に抵抗値 $R_{f1}$ の抵抗71を挿入し、FET31のソース33とゲート34間に抵抗値 $R_{f3}$ の抵抗73を挿入した構成である。さらに、図26は実施形態2, 5の組み合わせであって、FET39のソース41とFET43のゲート46間に抵抗値 $R_{f1}$ の抵抗71を挿入し、FET31のゲート34とFET43のドレイン44間に抵抗値 $R_{f4}$ の抵抗74を挿入した構成である。

【0081】以下同様に、図27は実施形態3, 4の組み合わせ、図28は実施形態3, 5の組み合わせ、図29は実施形態4, 5の組み合わせである。次に、抵抗素子を3箇所挿入した場合における回路構成を図30～図33に示す。図30は実施形態2, 3, 4を組み合わせた場合、図31は実施形態2, 3, 5を組み合わせた場合、図32は実施形態2, 4, 5を組み合わせた場合、図33は実施形態3, 4, 5を組み合わせた場合である。さらに、抵抗素子を4箇所すべてに挿入した場合、その回路構成は図34のようになる。以上のように構成した場合であっても、挿入された抵抗71～74の抵抗値 $R_{f1}$ ～ $R_{f4}$ を調整することで、実施形態2～5と同様の損失補償が実現できる。

【0082】〔変形例5〕上述した実施形態1～5について、抵抗50を削除した構成、すなわち抵抗値 $R_0 = 0 \Omega$ 、とした回路構成としても良い。このように構成した能動インダクタの回路構成を実施形態1の場合について図35に示す。なお、実施形態2～5については、図5, 図9, 図12, 図15からそれぞれ抵抗50を削除すれば良く、当業者であればその回路構成を容易に想起できるため、ここでは図示を省略する。

【0083】〔変形例6〕大きなインダクタンス値を得る目的で、図36に示すように、各FETにそれぞれコンデンサを接続した構成としても良い。この図に示す能動インダクタ600は、実施形態1の能動インダクタ100（図1を参照）に対して、FET31のソース33, ゲート34間、FET39のソース41, ゲート42間、FET43のソース45, ゲート46間に、それぞれ容量 $C1$ ,  $C2$ ,  $C3$ を有するコンデンサ51, 52, 53を接続したものである。

【0084】ここで、端子17, 18から見た能動インダクタ600のインピーダンス $Z_0$ は、(6)式における容量 $C_{gs1}$ を $(C1 + C_{gs1})$ で置き換えたものになる。したがって、実施形態1と比較すると、遮断周波数 $f_T$ は小さくなるものの、(6)式における容量 $C_{gs1}$ が等価的に大きくなって、実施形態1の能動インダクタ100よりも大きなインダクタンス値が得られる。

【0085】なお、実施形態2～5の能動インダクタについても、各FETにそれぞれコンデンサを接続することで同様なインダクタンス値の増大効果が得られる。そして、このように構成しても、能動インダクタを本質的にはトランジスタ、コンデンサのみで構成できるため、上記各実施と同様に回路の小型化を図ることができる。

【0086】〔変形例7〕上記の各実施形態では、3端子の能動素子としてFETを用いた場合を示したが、これに限らず、例えばバイポーラトランジスタやHEMTを用いても同様に構成できる。なお、上述した変形例1～変形例7を任意に組み合わせた構成としても良いのは勿論である。

【0087】〈実験例1〉図17に示す回路構成（実施形態1に対して変形例1による変形を施した構成）による能動インダクタの試作結果を以下に示す。実験では、図17におけるFET31, 35, 39, 43およびDCバイアス用のFETとしてゲート幅 $25 \mu\text{m}$ のHEMT（相互コンダクタンス $g_m = 11 \text{ mS}$ ）を用い、抵抗50の抵抗値 $R_0 = 36 \Omega$ とした。ゲートバイアス抵抗は $2 \text{ k}\Omega$ であって、それぞれFETのソース電極と接続した。バイアス条件はドレイン電圧が $10 \text{ V}$ 、ドレイン電流が $15 \text{ mA}$ とした。なお、チップサイズは $0.43 \times 0.40 \text{ mm}^2$ であった。

【0088】図37には、Sパラメータのシミュレーション結果を示してあり、 $1 \text{ GHz}$ における直列抵抗値は $0.3 \Omega$ である。一方、図38には測定したSパラメータの結果を示してある。測定した抵抗値とインダクタンス値は図37に示すシミュレーション結果よりも大きい。これはパターンレイアウトに起因する寄生容量や、DCバイアス用のFETのインピーダンスの影響によるものと考えられ、さらには、FETのゲートバイアス用抵抗をそれぞれFETのソース電極と接続しているために、バイアスが固定されて負性抵抗値の微調整ができないからだと考えられる。なお、 $1 \text{ GHz}$ における直列抵抗値は $0.8 \Omega$ であり、Q値換算では28であった。

【0089】〈実験例2〉実施形態1の回路構成を用いた別の実験の結果の詳細を以下に述べる。図39に当実験で使用した能動インダクタの詳細な回路図を示す。図に示すFET31, 39, 43およびDCバイアス用のFET51は、すべてゲート長 $0.1 \mu\text{m}$ のInAlAs/InGaAs/InPのHEMTを用いた。これらのHEMTは $25 \mu\text{m}$ 幅、平均の $f_T = 140 \text{ GHz}$ 、 $f_{max} = 180 \text{ GHz}$ であり、ソース電極とドレイン電極は非合金オーミック接触とし、接触抵抗を低減させるために $n^+$ -InGaAs/ $n^+$ -InAlAsキャップ層を用いた。また、バイアス条件は、 $V_{g1} = 0.0 \text{ V}$ 、 $V_{g2} = 1.2 \text{ V}$ 、 $V_{g3} = 2.4 \text{ V}$ 、 $V_{g4} = 3.5 \text{ V}$ 、 $V_d = 4.9 \text{ V}$ 、ドレイン電流 $I_d = 11 \text{ mA}$ とした。なお、抵抗値 $R_0$ は $29 \Omega$ とし、またチップサイズは $0.78 \times 0.40 \text{ mm}^2$ であった。

【0090】図40に $2 \text{ GHz} \sim 26 \text{ GHz}$ について測定したSパラメータを示す。結果として、 $0.045 \text{ GHz} \sim 26.5 \text{ GHz}$ の周波数範囲で直列抵抗が $0 \Omega$ 以上に保たれ、 $20 \text{ GHz}$ を越える範囲まで損失補償がなされている。なお、直流カット用のコンデンサのため、 $2 \text{ GHz}$ でのSパラメータは容量性となっている。

【0091】また、図41には、能動インダクタのイン

ピーダンスを抵抗及びインダクタンスの直列接続で表わしたとして、その際のインピーダンスの周波数特性の測定結果を示してある。6 GHz及び20 GHzにおけるインダクタンス値はそれぞれ0.41 nH及び0.82 nHであり、これらの間の周波数範囲におけるQ値は100を越えている。また、7 GHz及び15 GHzにおけるインダクタンス値はそれぞれ0.44 nH及び0.59 nHであり、これらの間の周波数範囲におけるQ値は1000を越えている。

【0092】ところで、アクティブフィルタ、位相シフタ、発振器などへの応用を考えると、バイアスと温度変化に対する安定性が重要であると言える。図42は、18 GHzにおいてバイアス電圧 $V_g$ 3を変化させたときの特性変化の測定結果である。2.5 V及び1.5 Vでのインダクタンス値はそれぞれ0.73 nH及び0.83 nHであり、これらのバイアス値におけるQ値は350及び420であった。また、18 GHzにおいて $-5 \sim 5^\circ\text{C}$ の温度変化をさせて測定を行った結果、インダクタンス値及び抵抗値の変化はそれぞれ0.1 nH以内および2  $\Omega$ 以内であった。

【0093】また、ダイナミックレンジを調べるために、2.6 GHzにおいて入射パワーを変化させたときのインダクタンス値、抵抗値の変化を調べた。このときの装置構成を図43に示す。図に示すように、信号発生器81が発生した2.6 GHzの信号をサーキュレータ82を介して能動インダクタ83へ注入し、反射された信号をスペクトラムアナライザ84で観測した。図44に示すように、1-dBのゲイン圧縮点は入射パワーが-1 dBmのときであり、反射信号においては第2高調波のパワーに対する基本波のパワーが20 dBを越えている。また、位相偏差は図示した入射パワーの範囲において1度未満であった。このように、インダクタンス値及び抵抗値の変化は入射パワーが-1 dBmまでは無視できる。

【0094】さらに、図45には、最近の報告のうち50を越えるQ値が実測されたものについて、これら報告におけるバンド幅を本発明の実測値と比較した結果を示してある。従来例によると、測定された周波数範囲の最大値はおおよそ1 GHz $\sim$ 2 GHzであるのに対し、本発明はこれよりも広帯域、低損失となっていることがわかる。

【0095】

【発明の効果】以上説明したように、請求項1、4、5記載の発明によれば、周波数によらず定常的に発生する抵抗損失を、周波数に対して一定の負性抵抗を発生させて相殺させ、しかも、インダクタを能動素子のみから構成できるようにしたので、素子数の削減による回路の小型化を実現できるとともに、コンデンサなどの受動素子を要するインダクタに比べて自己共振周波数を高くすることができるという効果が得られる。また、マイクロ波

帯以上の周波数領域においても能動インダクタのインピーダンスがインダクタンス成分のみとなって、任意のインダクタンス値が得られ、直流から高周波帯までの広い帯域にわたって低損失な能動インダクタを実現できるという効果も得られる。

【0096】また、請求項2、6 $\sim$ 9記載の発明によれば、周波数が高くなるにつれて増大する抵抗損失を、該抵抗損失の周波数特性と相反する周波数特性を持つ負性抵抗を発生させて相殺するようにしたので、ドレインコンダクタンス値の変化により発生する抵抗損失の周波数特性が相殺できることとなり、所与のドレインコンダクタンス値に対して適切な損失補償を行うことができるという効果が得られる。

【0097】また、請求項3記載の発明によれば、能動インダクタに内在するインダクタンス成分に対して負性抵抗を直列に発生させるようにしたので、損失補償される周波数範囲を広くできるという効果が得られる。また、請求項10、12、14、16記載の発明によれば、各トランジスタの第1電極及び第2電極の間にコンデンサを接続するようにしたので、各トランジスタの空乏層容量の容量値を等価的に増大させることができ、能動インダクタのインダクタンス値を大きくできるという効果が得られる。

【0098】また、請求項11、13、15記載の発明によれば、第1 $\sim$ 第3のトランジスタのそれぞれに対して1個以上のトランジスタをカスコードに接続するようにしたので、上記の各能動インダクタと低周波での等価回路が等しい能動インダクタを異なる回路構成により実現できるという効果が得られる。

【図面の簡単な説明】

【図1】 この発明の実施形態1による能動インダクタの回路図である。

【図2】 同実施形態による能動インダクタの等価回路の回路図である。

【図3】 この発明が採用している「直列抵抗による損失補償」の原理を説明する図である。

【図4】 同実施形態による能動インダクタのインダクタンス $L$ （同図（a））および抵抗 $R$ （同図（b））の周波数特性を示す図である。

【図5】 この発明の実施形態2による能動インダクタの回路図である。

【図6】 同実施形態による能動インダクタの等価回路の回路図である。

【図7】 同実施形態による能動インダクタのインダクタンス $L$ （同図（a））および抵抗 $R$ （同図（b））の周波数特性を示す図である。

【図8】 この発明が採用している「挿入抵抗による損失補償」の原理を説明する図である。

【図9】 この発明の実施形態3による能動インダクタの回路図である。



【図 10】 同実施形態による能動インダクタの等価回路の回路図である。

【図 11】 同実施形態による能動インダクタのインダクタンス  $L$  (同図 (a)) および抵抗  $R$  (同図 (b)) の周波数特性を示す図である。

【図 12】 この発明の実施形態 4 による能動インダクタの回路図である。

【図 13】 同実施形態による能動インダクタの等価回路の回路図である。

【図 14】 同実施形態による能動インダクタのインダクタンス  $L$  (同図 (a)) および抵抗  $R$  (同図 (b)) の周波数特性を示す図である。

【図 15】 この発明の実施形態 5 による能動インダクタの回路図である。

【図 16】 同実施形態による能動インダクタのインダクタンス  $L$  (同図 (a)) および抵抗  $R$  (同図 (b)) の周波数特性を示す図である。

【図 17】 この発明の変形例 1 を実施形態 1 に適用した場合の回路図である。

【図 18】 この発明の変形例 1 を実施形態 2 に適用した場合の回路図である。

【図 19】 この発明の変形例 1 を実施形態 3 に適用した場合の回路図である。

【図 20】 この発明の変形例 1 を実施形態 4 に適用した場合の回路図である。

【図 21】 この発明の変形例 1 を実施形態 5 に適用した場合の回路図である。

【図 22】 この発明の変形例 2 を実施形態 1 に適用した場合の回路図である。

【図 23】 この発明の変形例 3 を実施形態 1 に適用した場合の回路図である。

【図 24】 この発明の実施形態 2, 3 を組み合わせた場合の回路図である。

【図 25】 この発明の実施形態 2, 4 を組み合わせた場合の回路図である。

【図 26】 この発明の実施形態 2, 5 を組み合わせた場合の回路図である。

【図 27】 この発明の実施形態 3, 4 を組み合わせた場合の回路図である。

【図 28】 この発明の実施形態 3, 5 を組み合わせた場合の回路図である。

【図 29】 この発明の実施形態 4, 5 を組み合わせた場合の回路図である。

【図 30】 この発明の実施形態 2, 3, 4 を組み合わせた場合の回路図である。

【図 31】 この発明の実施形態 2, 3, 5 を組み合わせた場合の回路図である。

【図 32】 この発明の実施形態 2, 4, 5 を組み合わせた場合の回路図である。

【図 33】 この発明の実施形態 3, 4, 5 を組み合わせた場合の回路図である。

【図 34】 この発明の実施形態 2 ~ 5 を組み合わせた場合の回路図である。

【図 35】 この発明の変形例 5 を実施形態 1 に適用した場合の回路図である。

【図 36】 この発明の変形例 6 を実施形態 1 に適用した場合の回路図である。

【図 37】 この発明の変形例 1 を実施形態 1 に適用した能動インダクタに関する  $S$  パラメータの計算値を示す図である。

【図 38】 この発明の変形例 1 を実施形態 1 に適用した実験例 1 の能動インダクタに関する  $S$  パラメータの測定値を示す図である。

【図 39】 実験例 2 による能動インダクタの詳細な回路図である。

【図 40】 同実験例による能動インダクタの  $S$  パラメータの測定結果を示す図である。

【図 41】 同実験例による能動インダクタのインピーダンスの周波数特性図である。

【図 42】 同実験例において、能動インダクタを構成する FET のバイアス電圧を変化させた時のインダクタンス及び  $Q$  値の特性変化を表わす図である。

【図 43】 同実験例において、能動インダクタのダイナミックレンジを調べるための装置の構成を示す図である。

【図 44】 同実験例において、能動インダクタへ入射させた信号のパワーと反射された信号のパワーとの関係を示す図である。

【図 45】 同実験例において、ダイナミックレンジを第 3 及び第 5 の従来例と本発明とで比較した結果を示す図である。

【図 46】 第 1 の従来例による能動インダクタの回路図である。

【図 47】 同従来例による能動インダクタの等価回路の回路図である。

【図 48】 同従来例による能動インダクタの周波数特性を示す図である。

【図 49】 第 2 の従来例による能動インダクタの回路図である。

【図 50】 同従来例による能動インダクタの等価回路の回路図である。

【図 51】 同従来例による能動インダクタのインダクタンス  $L$  (同図 (a)) および抵抗  $R$  (同図 (b)) の周波数特性を示す図である。

【図 52】 第 3 の従来例による能動インダクタの回路図である。

【図 53】 同従来例による能動インダクタの等価回路の回路図である。

【図 54】 同従来例による能動インダクタのインダクタンス  $L$  (同図 (a)) および抵抗  $R$  (同図 (b)) の周波数特性を示す図である。

周波数特性を示す図である。

【図55】 第4の従来例による能動インダクタの回路図である。

【図56】 同従来例による能動インダクタの等価回路の回路図である。

【図57】 同従来例による能動インダクタのインダクタンス $L$  (同図 (a)) および抵抗 $R$  (同図 (b)) の周波数特性を示す図である。

【図58】 第5の従来例による能動インダクタの回路図である。

【図59】 同従来例による能動インダクタの等価回路の回路図である。

【図60】 同従来例による能動インダクタのインダクタンス $L$  (同図 (a)) および抵抗 $R$  (同図 (b)) の

周波数特性を示す図である。

【符号の説明】

C 直流電圧阻止用のコンデンサ

P 高周波を遮断するコイルを介して電圧が印加されるポイント

16, 50, 61, 71~74

抵抗

17, 18

端子

31, 35, 39, 43, 81, 85

FET

32, 36, 40, 44, 82, 86

ドレイン

33, 37, 41, 45, 83, 87

ソース

34, 38, 42, 46, 84, 88

ゲート

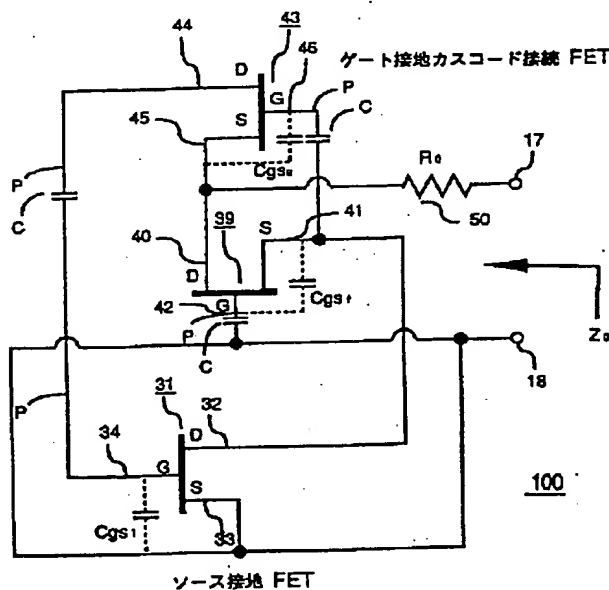
51, 52, 53

コンデンサ

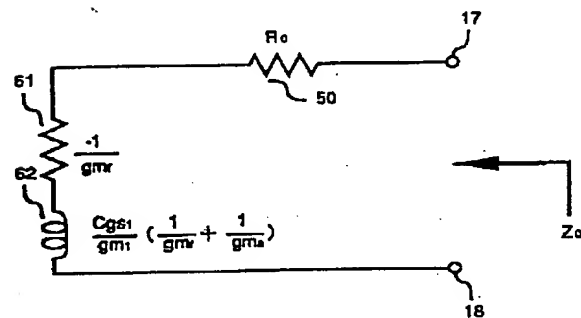
62, 64

インダクタンス

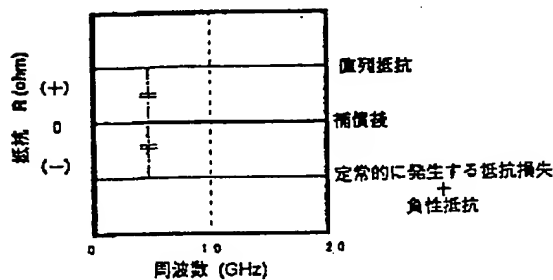
【図1】



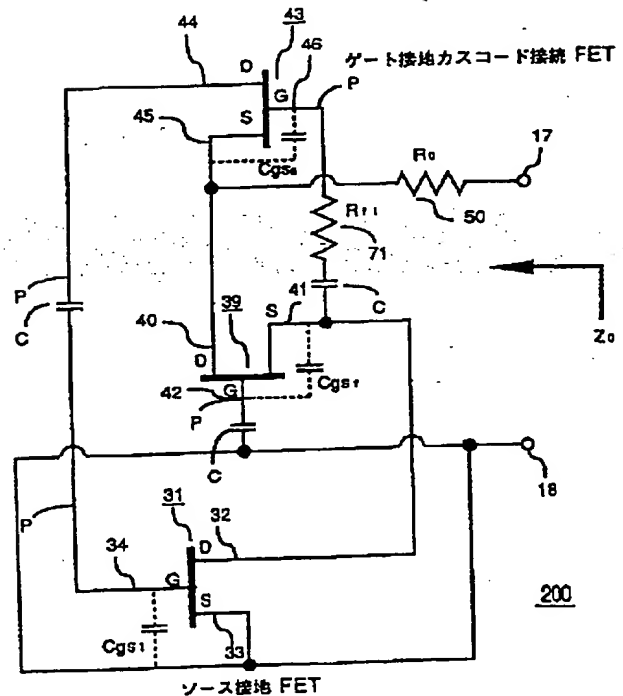
【図2】



【図3】

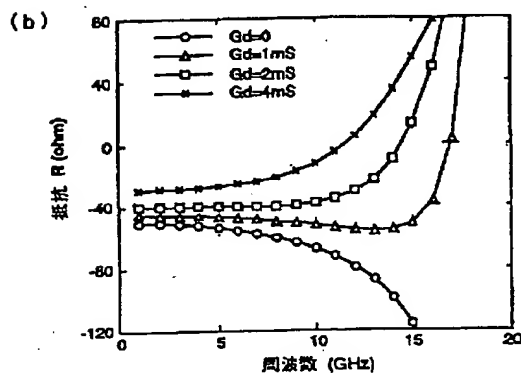
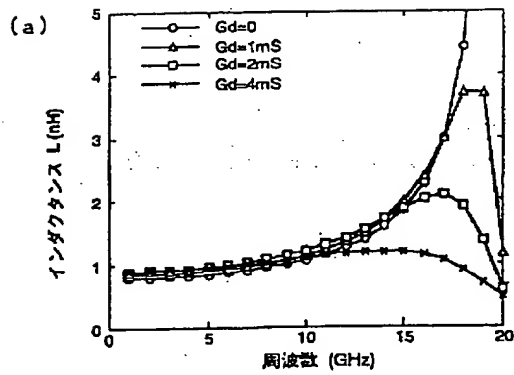


【図5】

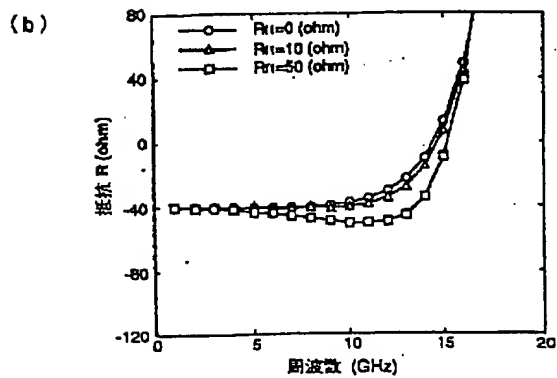
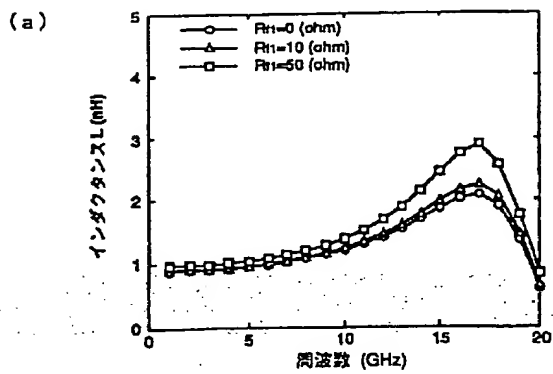




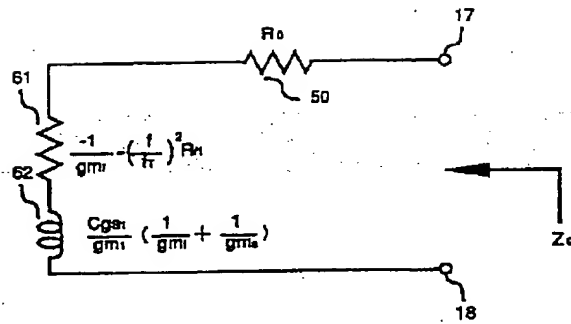
【図 4】



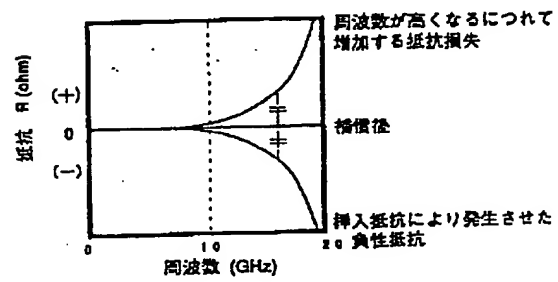
【図 7】



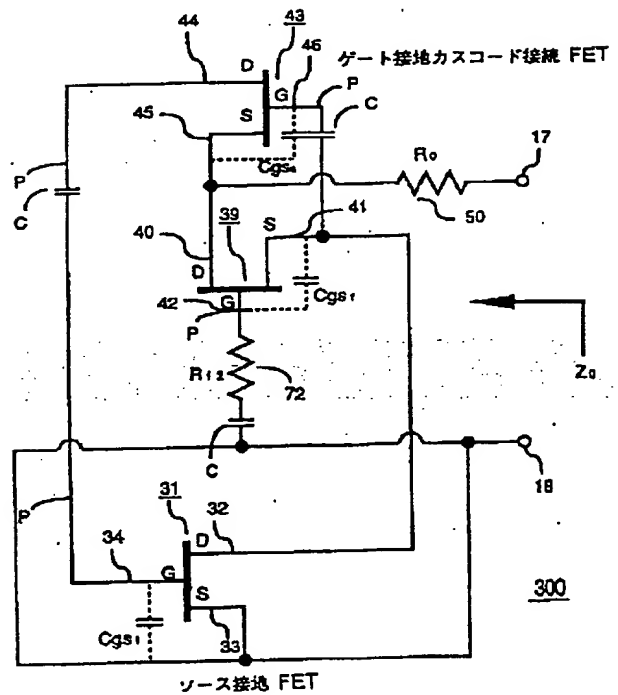
【図 6】



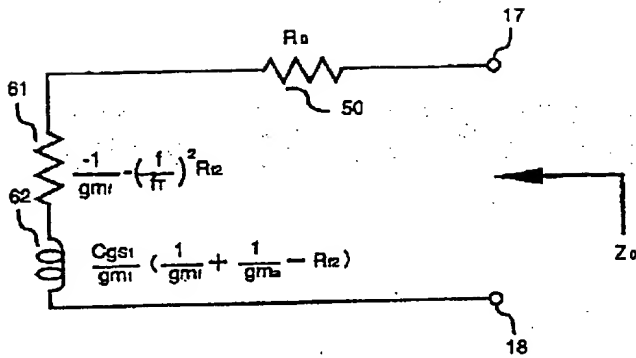
【図 8】



【図 9】

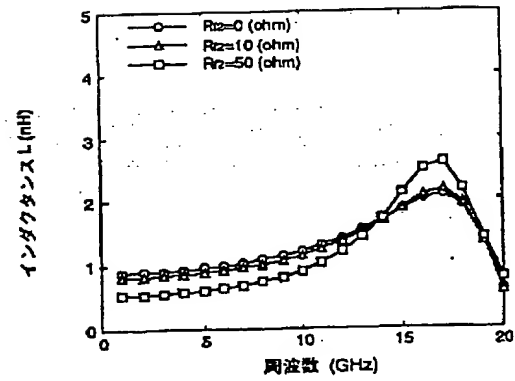


【図10】

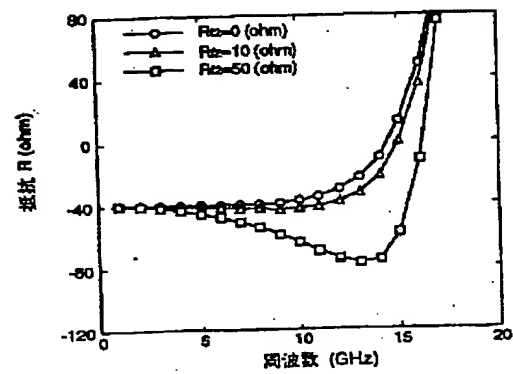


【図11】

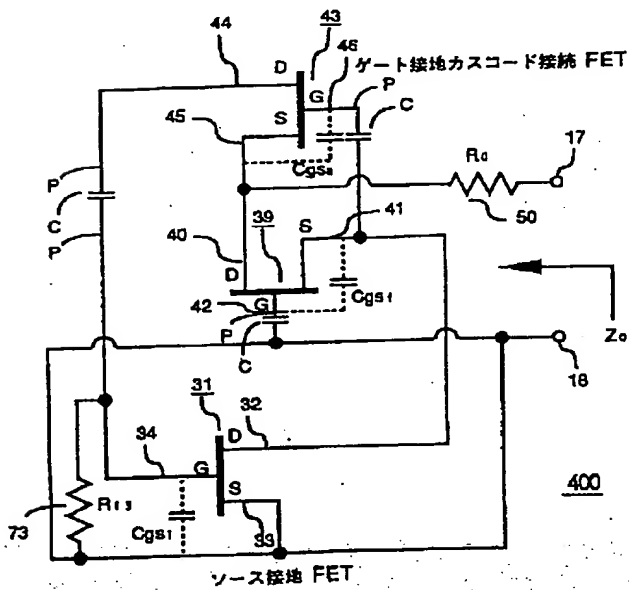
(a)



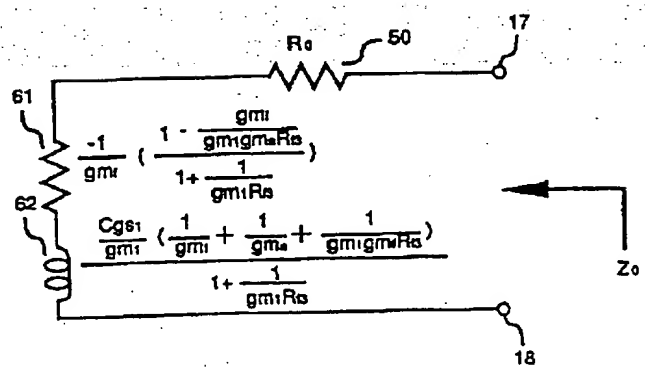
(b)



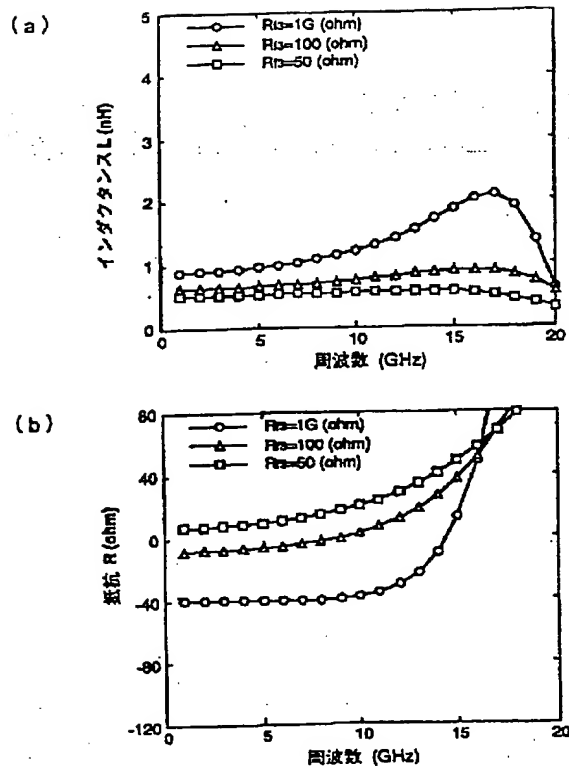
【図12】



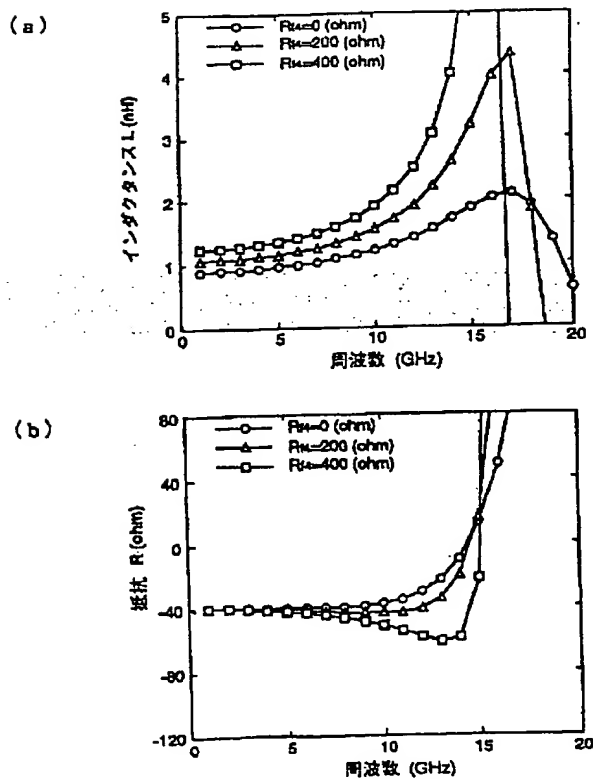
【図13】



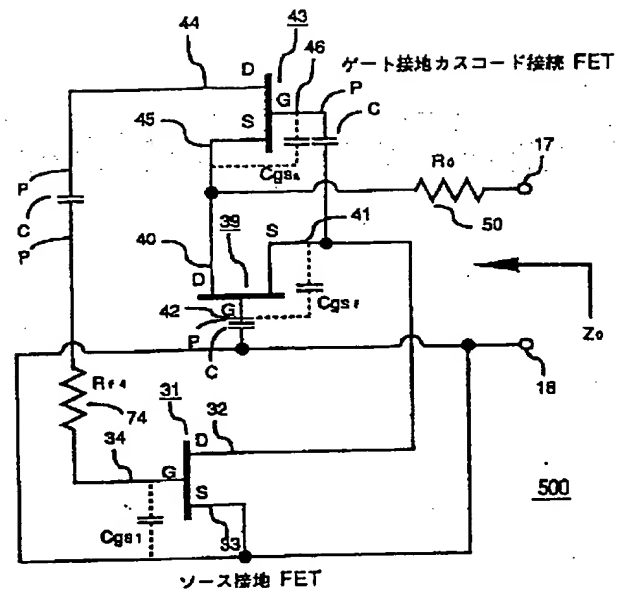
【図14】



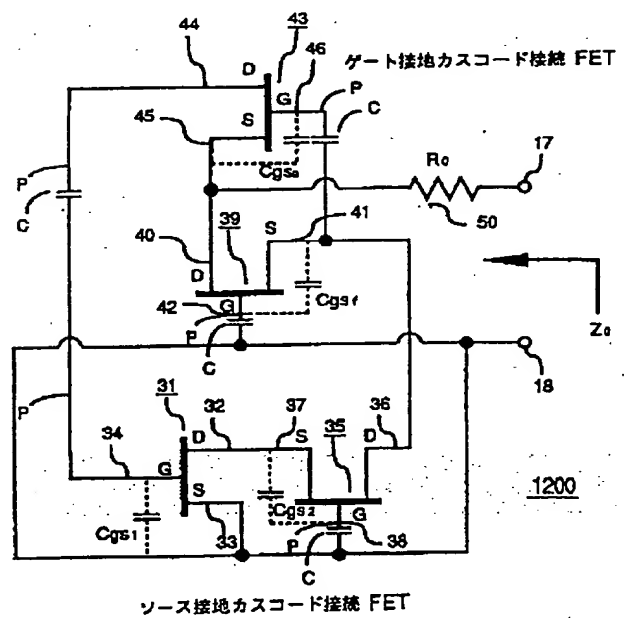
【図16】



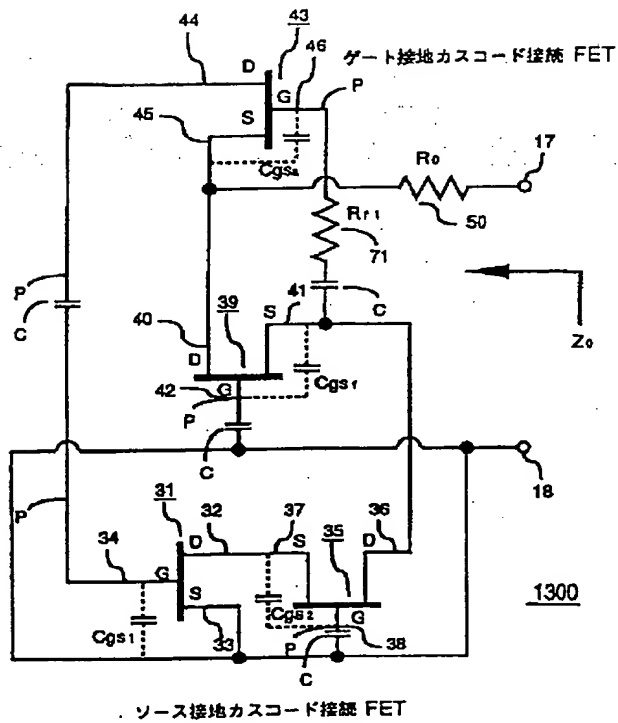
【図15】



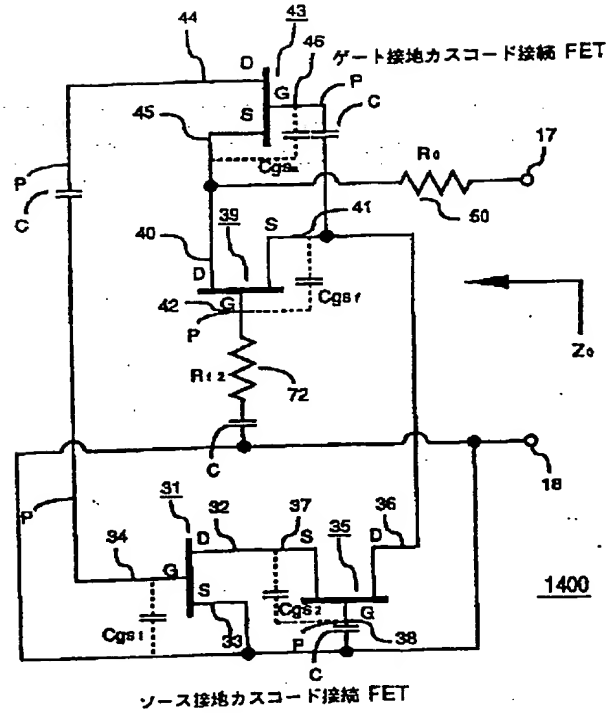
【図17】



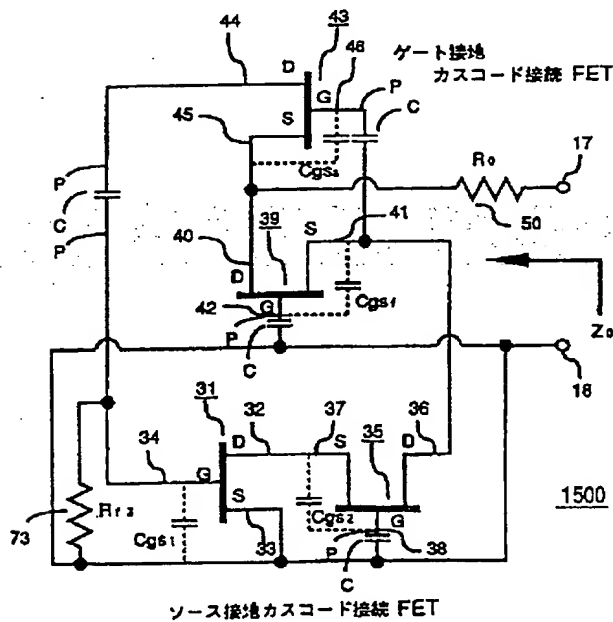
【図 18】



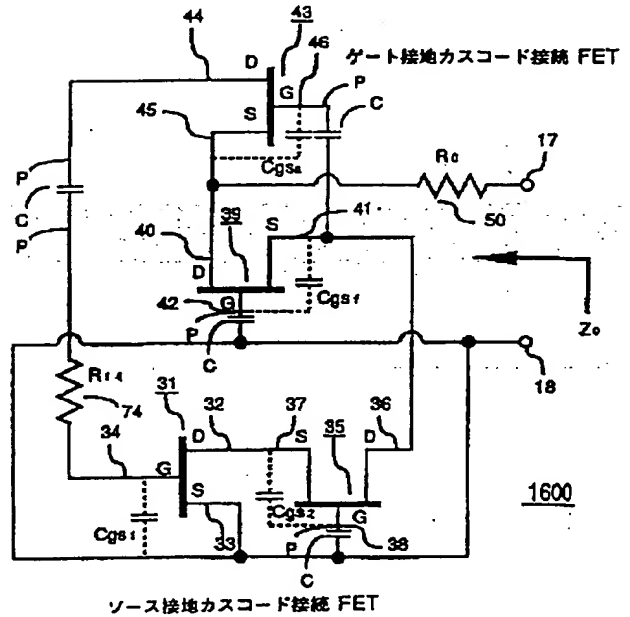
【図 19】



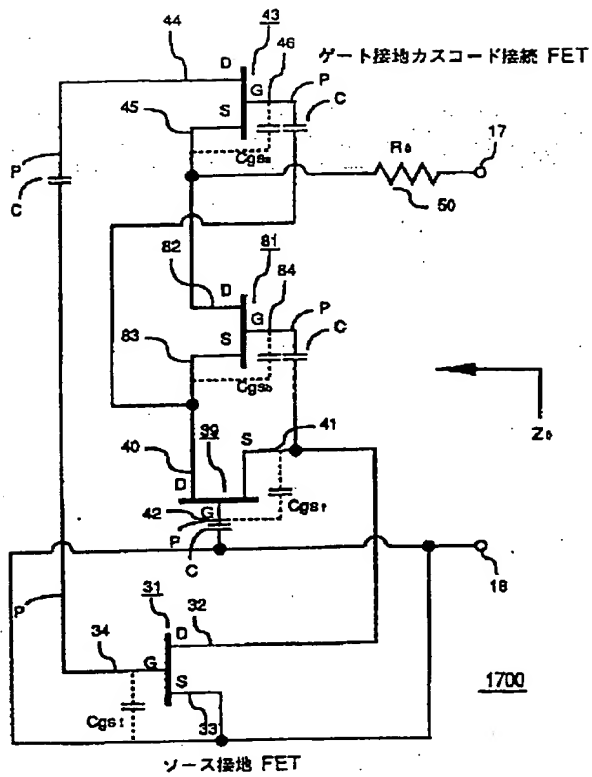
【図 20】



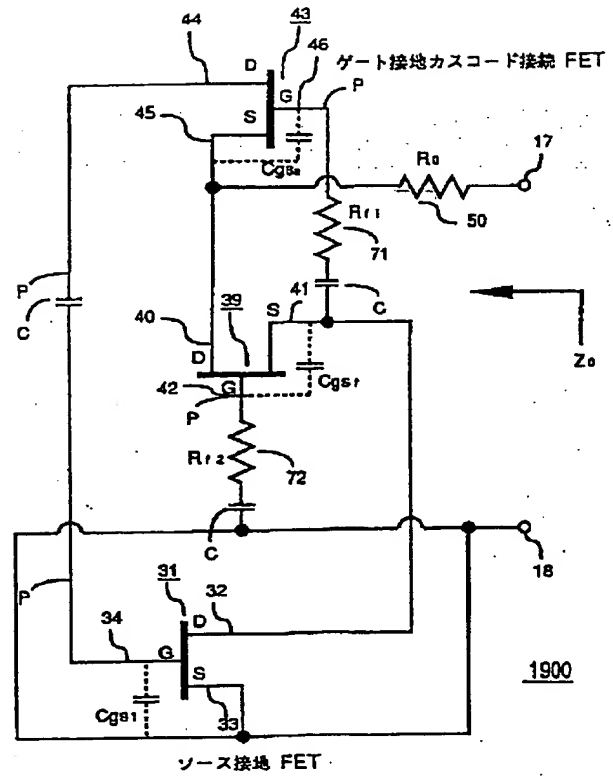
【図 21】



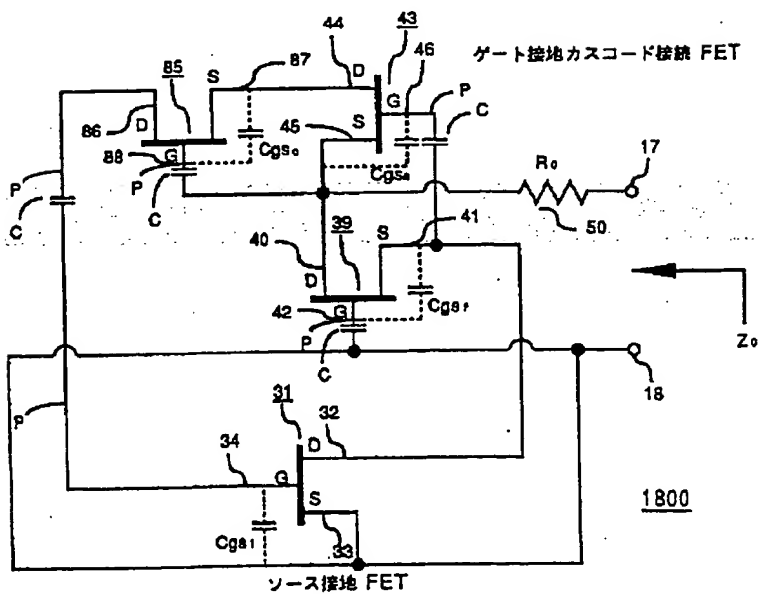
【図 2 2】



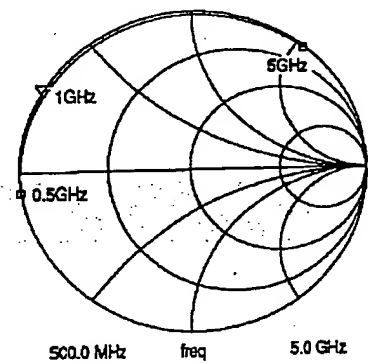
【図 2 4】



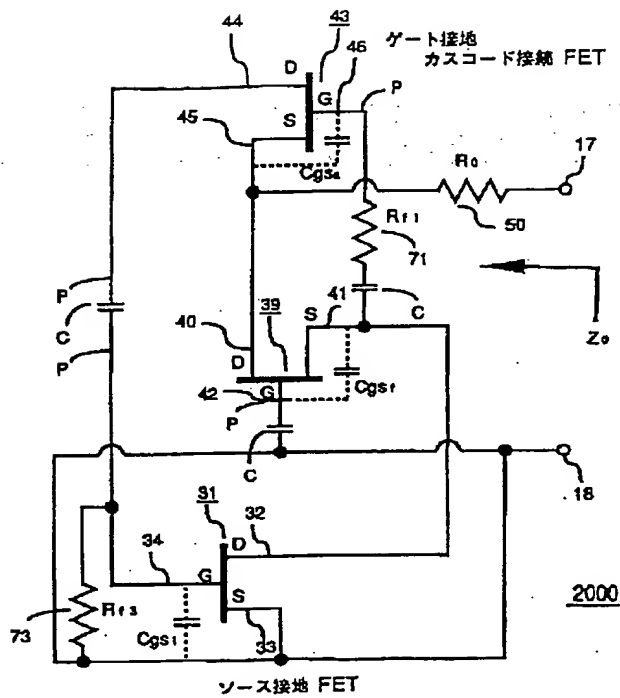
【図 2 3】



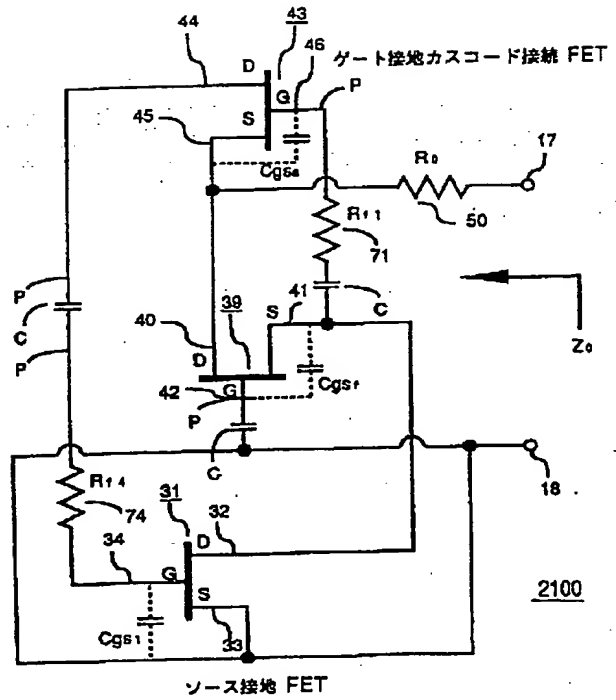
【図 3 7】



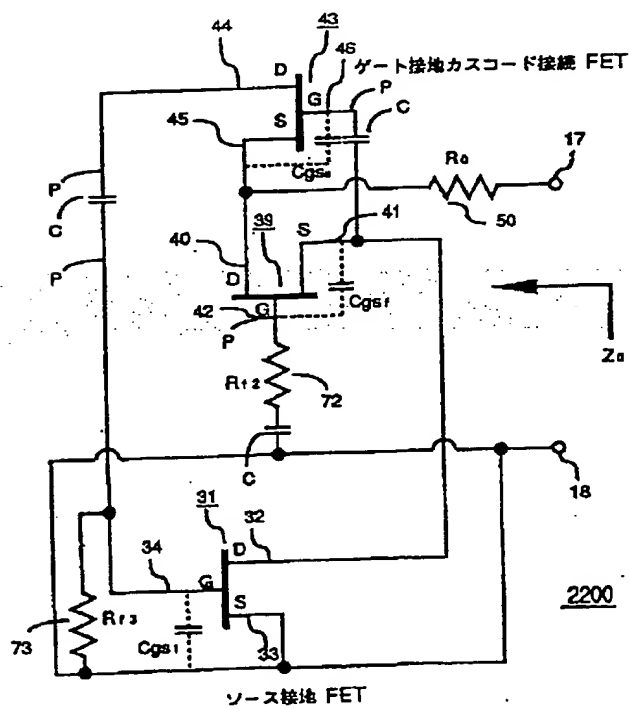
【図 25】



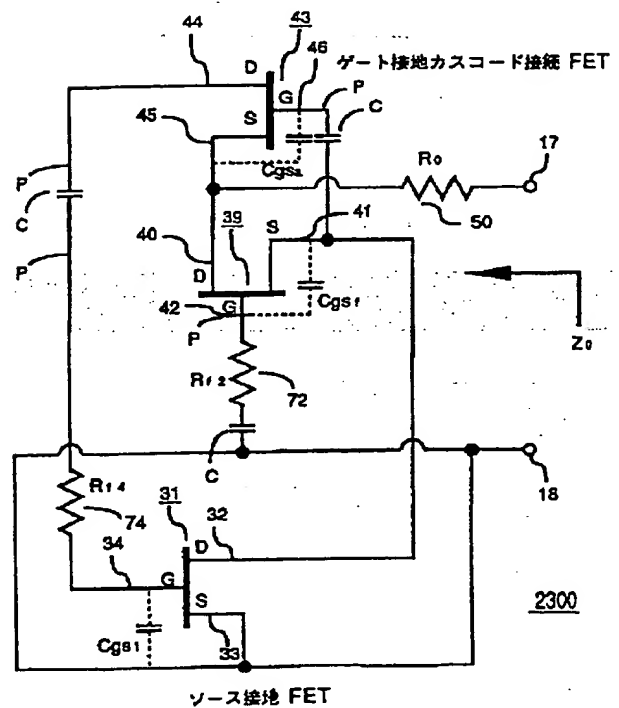
【図 26】



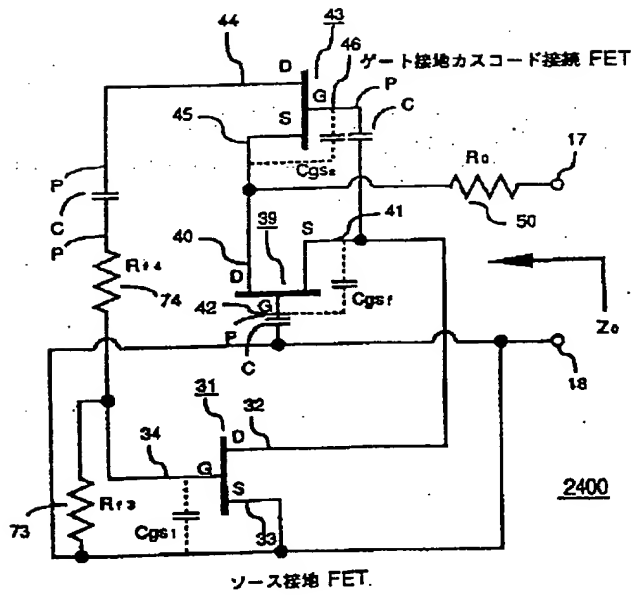
【図 27】



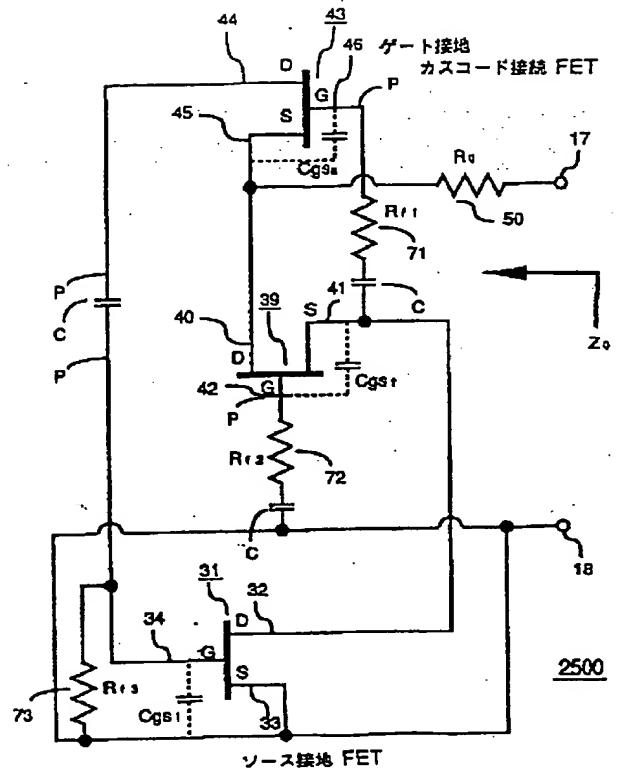
【図 28】



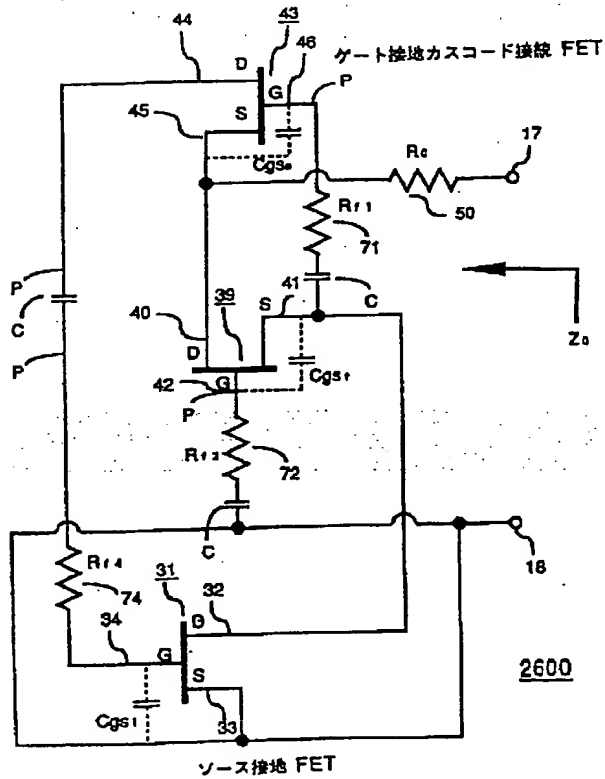
【図 29】



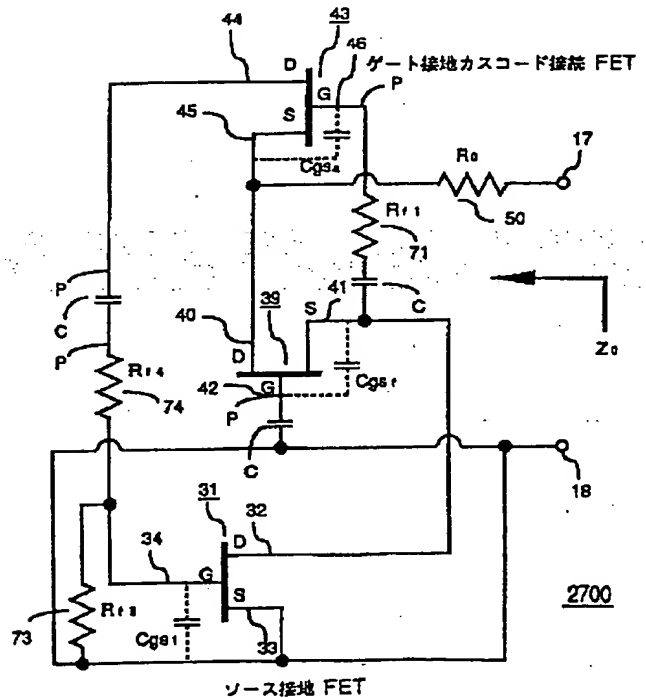
【図 30】



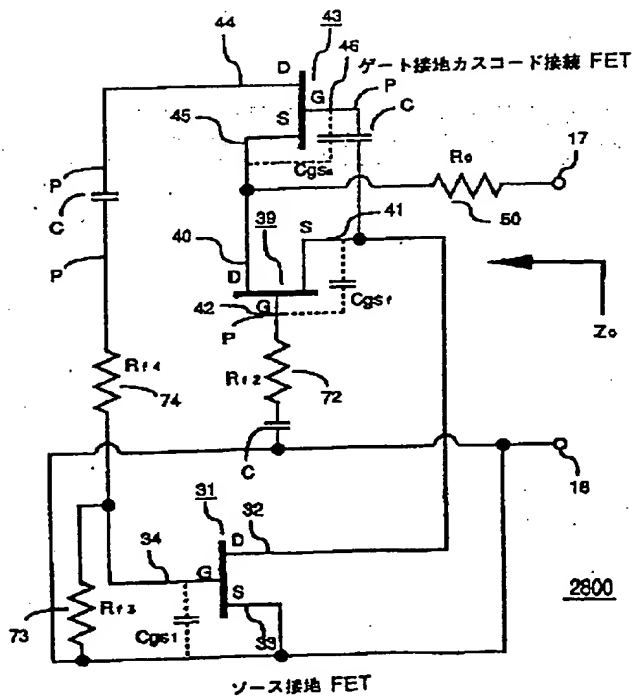
【図 31】



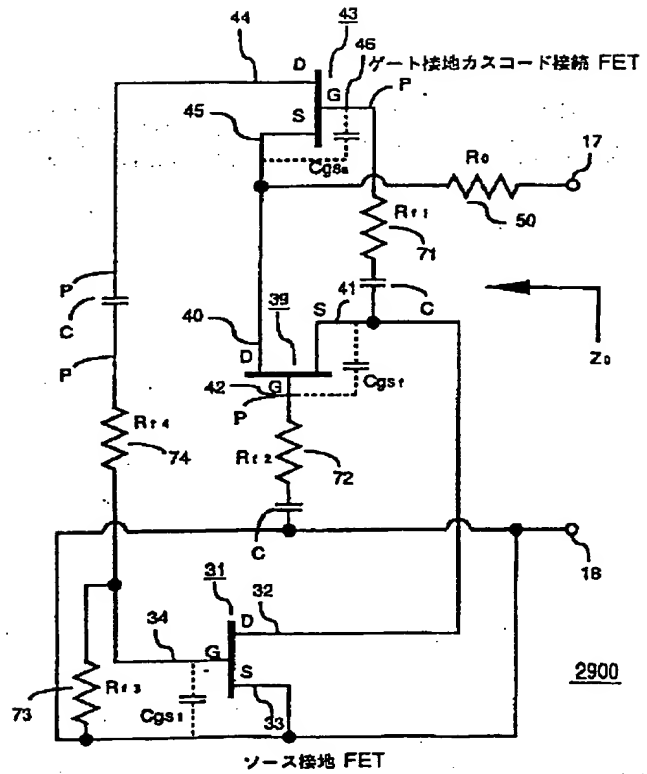
【図 32】



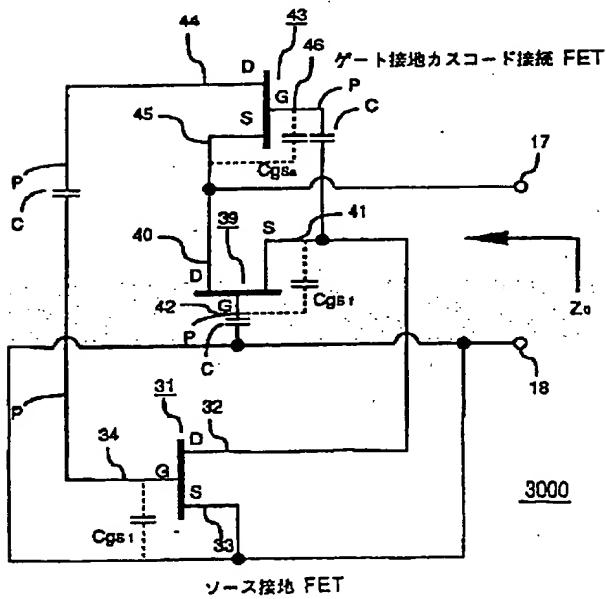
【図33】



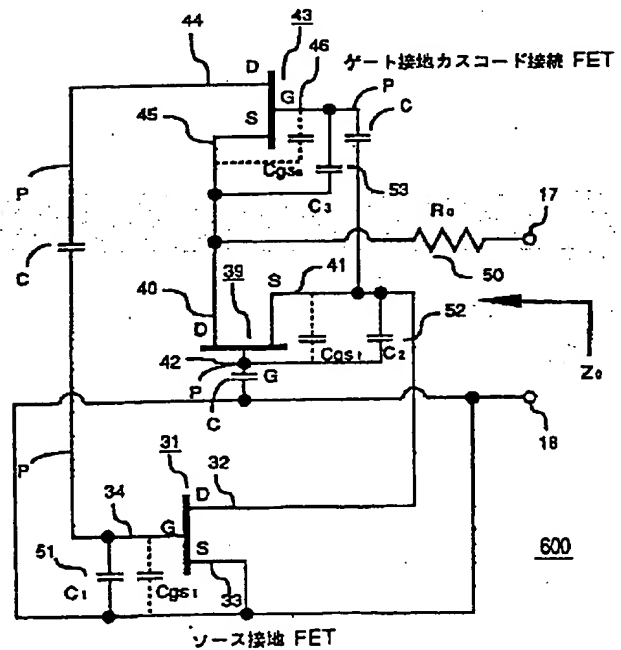
【図34】



【図35】

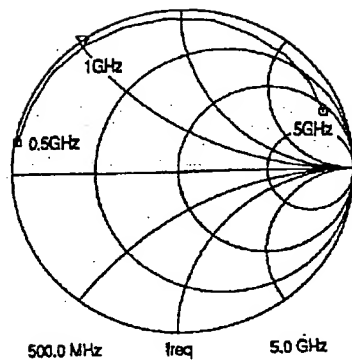


【図36】

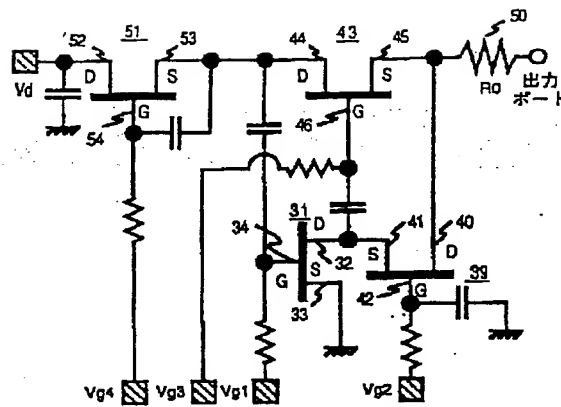




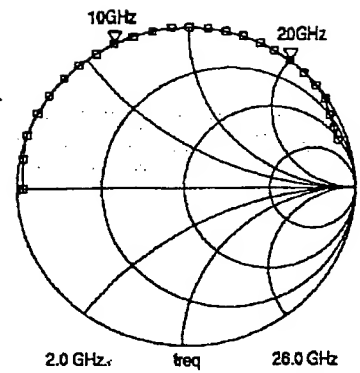
【図38】



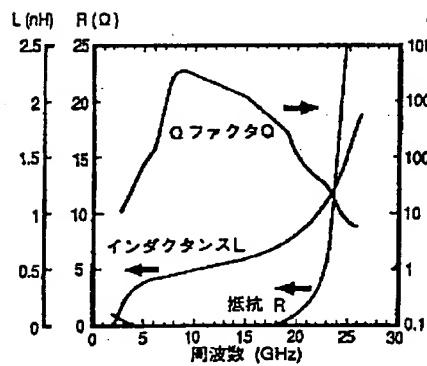
【図39】



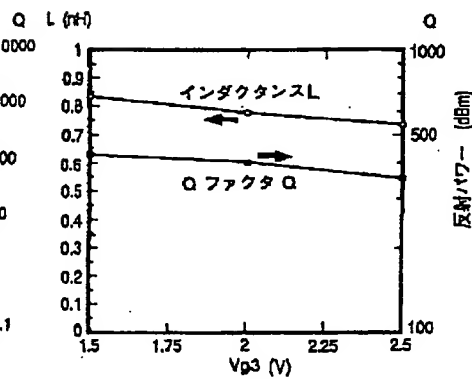
【図40】



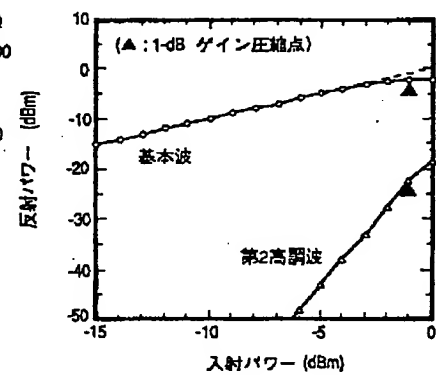
【図41】



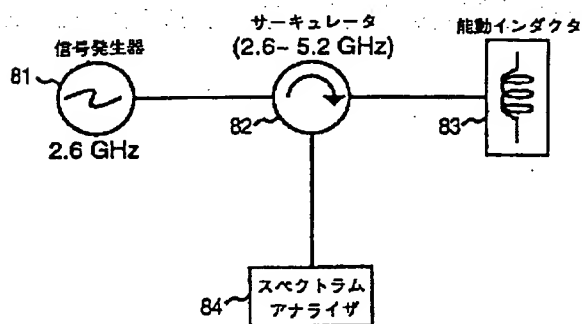
【図42】



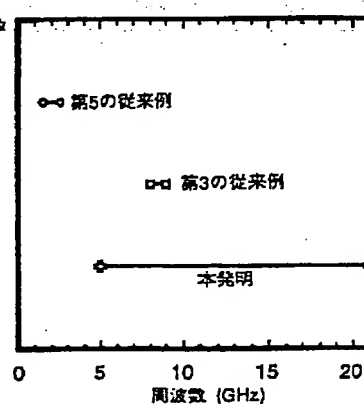
【図44】



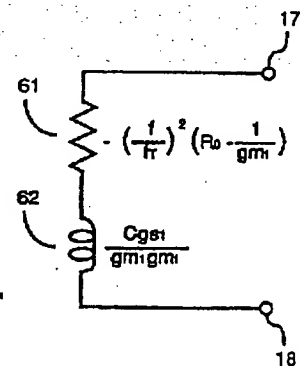
【図43】



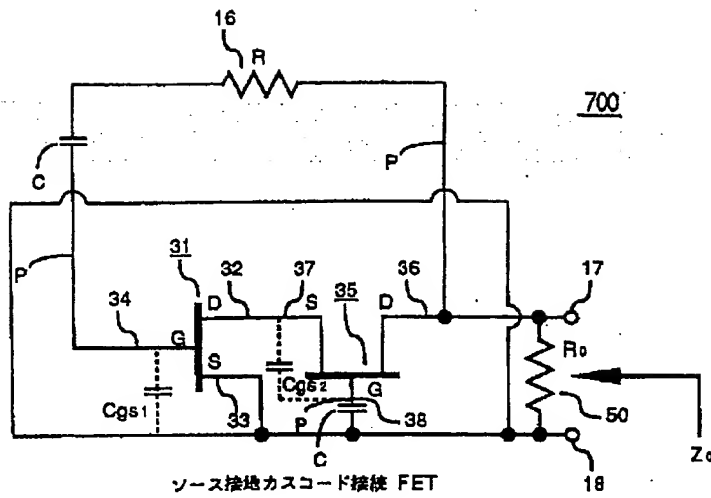
【図45】



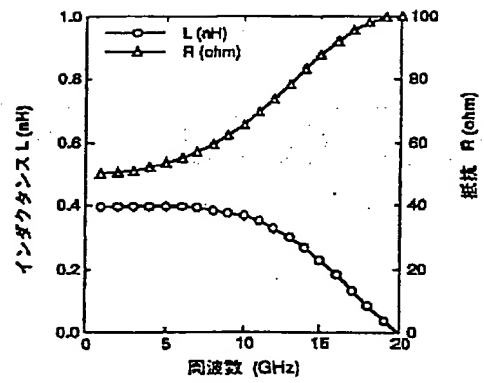
【図56】



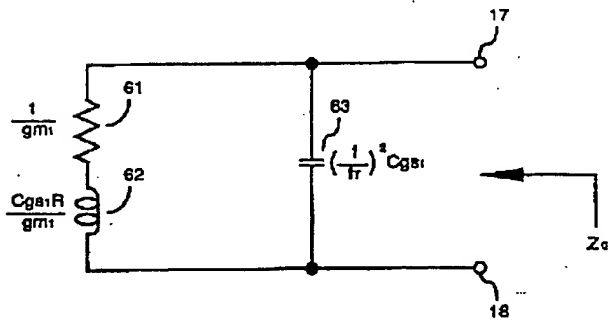
【図 4 6】



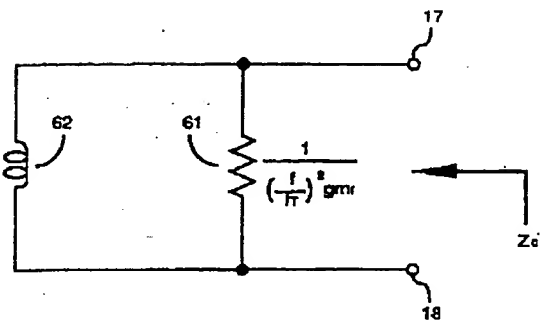
【図 4 8】



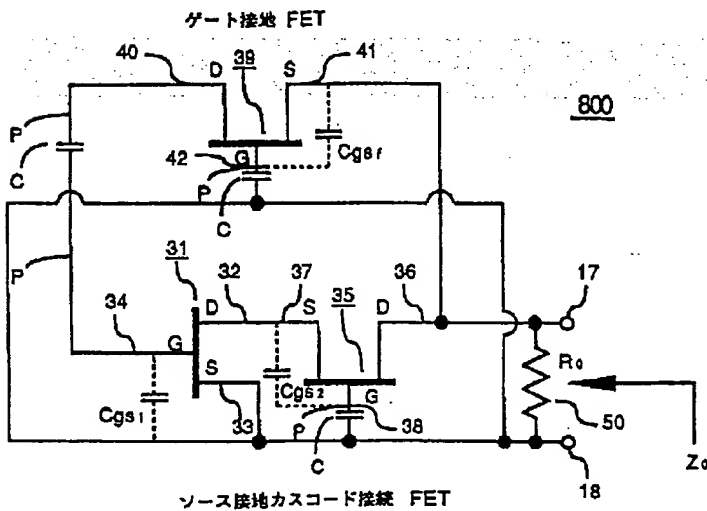
【図 4 7】



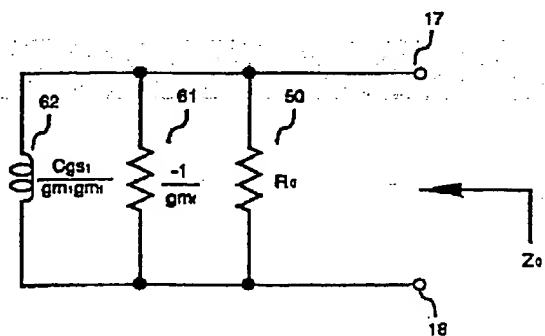
【図 5 0】



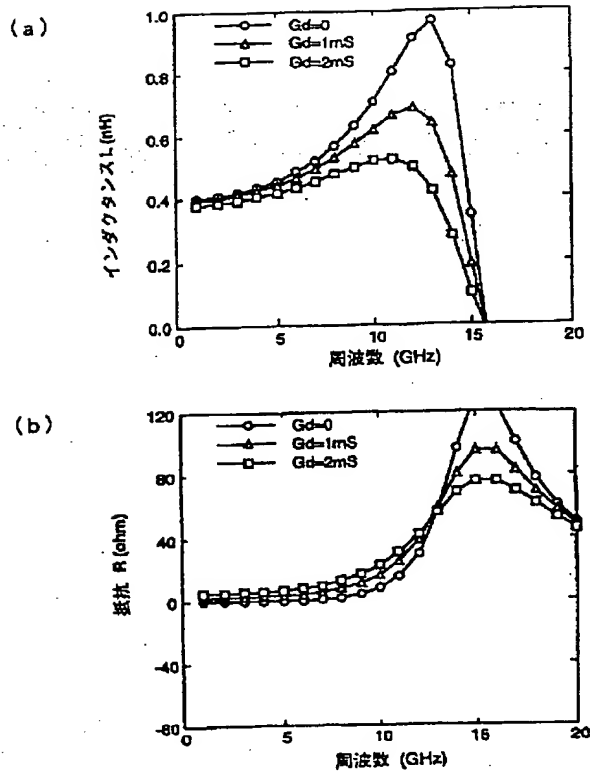
【図 4 9】



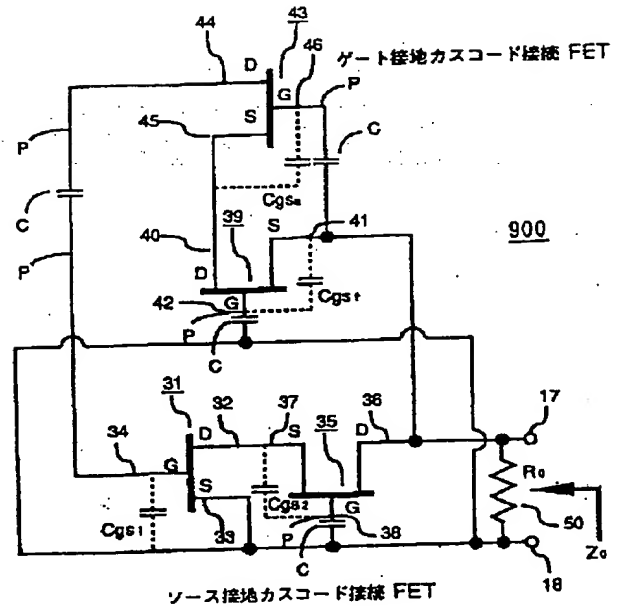
【図 5 3】



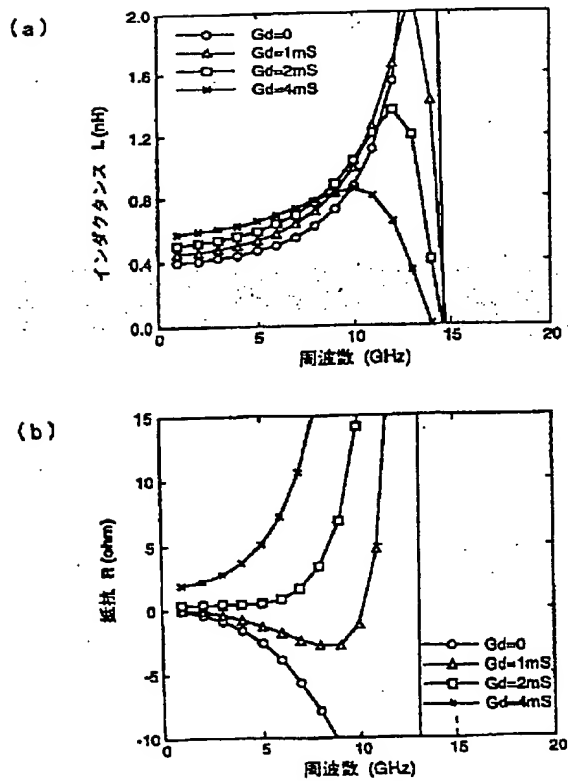
【図 5 1】



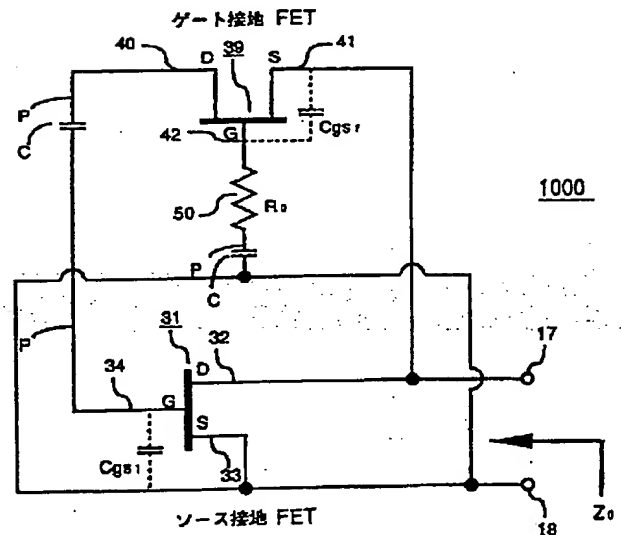
【図 5 2】



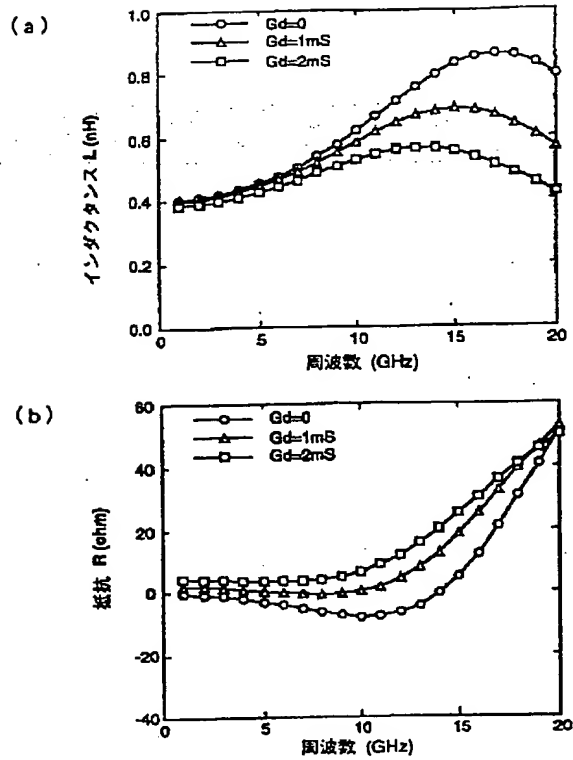
【図 5 4】



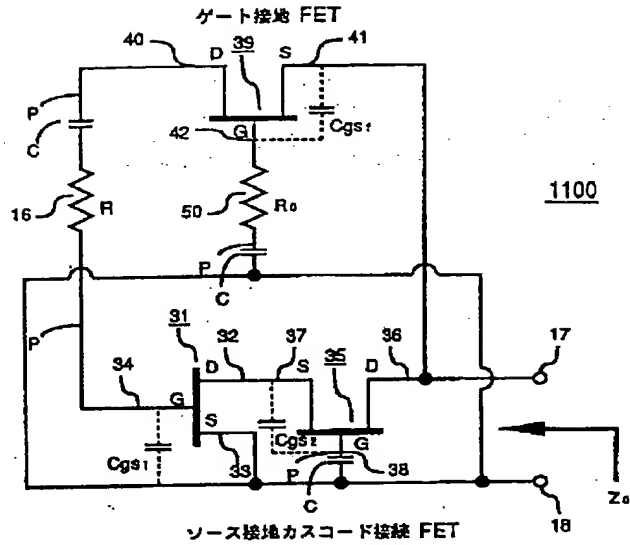
【図 5 5】



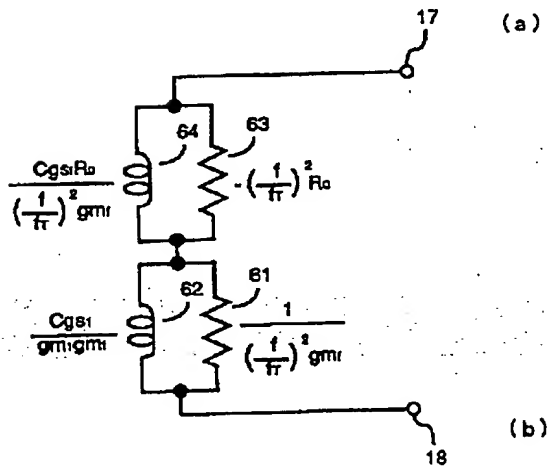
【図57】



【図58】



【図59】



【図60】

